

Rec'd PCT/PTC 20 JUL 2004

BUNDESREPUBLIK DEUTSCHLAND

PCT/EP03/00088

10/501880

REC'D 10 MAR 2003

WIPO

PCT



**Prioritätsbescheinigung über die Einreichung
einer Patentanmeldung**

Aktenzeichen: 102 02 138.4

Anmeldetag: 21. Januar 2002

Anmelder/Inhaber: Infineon Technologies AG,
München/DE

Bezeichnung: Speicherbaustein mit einer Speicherzelle
und Verfahren zur Herstellung einer Speicher-
zelle

IPC: H 01 L 27/108

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ur-
sprünglichen Unterlagen dieser Patentanmeldung.

München, den 20. Februar 2003
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

**PRIORITY
DOCUMENT**
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

BEST AVAILABLE COPY

A 9161
08/00
EDV-L

Beschreibung

Speicherbaustein mit einer Speicherzelle und Verfahren zur Herstellung einer Speicherzelle

- 5 Die Erfindung betrifft einen Speicherbaustein mit einer Speicherzelle in Form eines Grabenkondensators gemäß dem Oberbegriff des Patentanspruchs 1. Weiterhin betrifft die Erfindung ein Verfahren zur Herstellung einer Speicherzelle in Form eines Grabenkondensators gemäß dem Oberbegriff des Patentanspruchs 7.

Speicherbausteine werden vorzugsweise in Halbleitertechnik hergestellt und sind mit dynamischen oder statischen Speicherzellen versehen. Eine dynamische Speicherzelle besteht aus einem Auswahltransistor und einem Speicherkondensator.

- 15 Die Speicherzustände 0 und 1 entsprechen einer positiven oder einer negativen Polung des Speicherkondensators. Da die Kondensatorladung in Folge von Rekombinations- und Leckströmen in einer Zeit von ca. 1 Sekunde abgebaut wird, muss die Ladung immer wieder neu aufgefrischt werden. Der Speicherkondensator ist beispielsweise als Grabenkondensator ausgebildet. Die Besonderheit des Grabenkondensators besteht darin, dass der Kondensator in Form eines Grabens in ein Substrat eingebracht ist. In der Oberfläche des Substrats (Planartransistor) bzw. im oberen Abschnitt des Speichergrabens (Vertikaltransistor) ist der Auswahltransistor zur Ansteuerung des
- 20
- 25 Grabenkondensators angeordnet.

- Entsprechende Speicherzellen mit Grabenkondensatoren sind in den Offenlegungsschriften DE 19941147 und DE 19941148 beschrieben. Bei den beschriebenen Speicherzellen ist die Speicherkapazität in Form einer tief in das Halbleitersubstrat eingesenkten Graben ausgebildet, während die übrigen Funktions- und Verdrahtungselemente der Speichermatrix und der Speicherperipherie oberhalb des Grabens ohne jede störende Topographie auf der planaren Substratoberfläche angeordnet
- 30

sind. Diese Ausführungsform erleichtert die Strukturierung der Ebenen oberhalb der Grabenebene. Beispielsweise erlaubt diese Anordnung eine weitergehende Skalierung, d.h. eine weitere Verkleinerung der Strukturen und eine wahlfreie Integration von Speicher- und anderen Funktionen auf dem Chip, ohne aufwendige, spezifische Prozessanpassungen.

Eine Erhöhung der flächenspezifischen Speicherkapazität bei der Skalierung ist bisher mittels konventioneller Ausdehnung/Erweiterung folgender Lösungen realisiert worden: Die Dicke des Speicherdielektrikums wird bis unter 5 nm reduziert. Eine weitere Reduktion der Dicke ist jedoch durch Ausbeute-, Leckstrom- und Zuverlässigkeitsprobleme auf ca. 4 nm limitiert.

Die Tiefe des Grabens wird bis auf 7 μm vergrößert, was einem Aspektverhältnis von ungefähr 40 entspricht. Damit ist gegenwärtig ein hoher Aufwand für die Herstellung der Ätz-Hartmaske und eine lange Prozesszeit bei den industriell verfügbaren Ätzanlagen unvermeidbar. Eine Vergrößerung des Grabenaspektverhältnisses von > 60 scheint derzeit für eine Serienfertigung nicht realisierbar.

Eine laterale Aufweitung des Grabens wird bis in die Region des Grabenbodens durch anteilig isotropes Ätzen (Botteling) maximiert. Diese Maßnahme kann erfahrungsgemäß bis zu einem Abstand benachbarter Grabenflanken von etwa 0,6-mal der minimalen Strukturgröße benachbarter Grabenflanken getrieben werden und ist durch Prozessstabilität und Homogenität des Grabenätzprozesses limitiert.

Die durch den Markt getriebene Kostenreduzierung pro Speichereinheit zwingt zur weiteren Erhöhung der Speichergröße durch Erhöhung der Integrationsdichte (Speicherzellen/Chipfläche). Die damit verbundene Skalierung der Fläche und Strukturgröße der Speicherzelle und des Speicherkondensators erfordert zunehmend weitere Maßnahmen zur Sicherung der

Mindestkapazität, die bei Grabenkondensatoren bei etwa 35 bis 40 fF liegt.

Leseverstärker, die zum Auslesen der im Grabenkondensator gespeicherten Information verwendet werden, erfordern einen ausreichenden Signalpegel für ein zuverlässiges Auslesen der in der Speicherzelle befindlichen Information. Das Verhältnis der Speicherkapazität zur Kapazität der Bitleitung, über die die gespeicherte Information zum Leseverstärker geleitet wird, ist entscheidend bei der Bestimmung des Signalpegels.

Ist die Speicherkapazität zu gering, dann kann die im Grabenkondensator gespeicherte Information nicht mehr eindeutig als Signalpegel vom Leseverstärker auf der Bitleitung erkannt werden.

Da die gespeicherte Ladung zudem über Leckströme abfließt, hat eine kleinere Kapazität den Nachteil, dass in kürzeren Zeitabständen die Ladung aufgefrischt werden muss (größere Refreshfrequenz). Wird aufgrund der Leckströme eine Mindestladungsmenge des Speicherkondensators unterschritten, so ist es für den Leseverstärker nicht möglich, die abgespeicherte Information auszulesen.

In Speicherzellen mit Grabenkondensatoren sind bisher ausschließlich Materialkombinationen aus dünnen Siliciumdioxid- und Siliciumnitrid-(Si_3N_4)-Schichten (NO, ON, ONO) als Speicherdielektrikum und dotierte Polysiliciumschichten als Elektrodenmaterial im Einsatz. Diese Materialien sind hochtemperaturfest und werden durch die Temperaturen, die nach der Herstellung des Grabenkondensators zur Einbringung eines Transistors erforderlich sind, nicht in ihren Eigenschaften nachteilig verändert.

Die Aufgabe der Erfindung besteht darin, eine Speicherzelle mit einem Grabenkondensator bereitzustellen, der gegenüber den bisher eingesetzten Grabenkondensatoren eine erhöhte Speicherkapazität aufweist. Weiterhin besteht die Aufgabe der

Erfindung darin, ein Verfahren zur Herstellung einer Speicherzelle mit einem Grabenkondensator bereitzustellen, der eine erhöhte Speicherkapazität gegenüber den bisher bekannten Grabenkondensatoren aufweist.

- 5 Die Aufgabe der Erfindung wird durch die Merkmale des Anspruchs 1 und durch die Merkmale des Anspruchs 7 gelöst. Ein Vorteil der Erfindung besteht darin, dass der Graben mit einer Füllung wenigstens teilweise versehen ist, die bei hohen Temperaturen, die üblicherweise bei der Herstellung eines Transistors angewendet werden, instabil ist.

- Vorzugsweise weist die Füllung wenigstens teilweise ein metallisches Material auf. Durch die Verwendung eines metallischen Materials als Elektrodenmaterial wird der Widerstand zum Kontaktieren des Grabenkondensators reduziert. Der kleine Widerstand ermöglicht es, ein zuverlässiges Signal mit einem Ausleseverstärker detektieren zu können.

- In einer weiteren vorteilhaften Ausführungsform weist die Füllung wenigstens teilweise ein dielektrisches Material mit einer großen Dielektrizitätskonstanten auf. Dielektrische Materialien mit einer großen Dielektrizitätskonstanten sind üblicherweise nur bis Temperaturen von ungefähr 800°C stabil. Deshalb war bisher die Anwendung der dielektrischen Materialien mit großen Dielektrizitätskonstanten bei der Herstellung einer Speicherzelle in Form eines Grabenkondensators nicht möglich. Da jedoch in der erfindungsgemäßen Ausführungsform der Speicherzelle das dielektrische Material erst nach den Hochtemperaturprozessen in den Graben eingefügt wird, kann es dadurch ohne Probleme in der Trench-Speicherzelle eingesetzt werden. Die Verwendung eines dielektrischen Materials mit einer großen Dielektrizitätskonstanten weist den Vorteil auf, dass eine größere Ladungsmenge bei gleich bleibender Fläche des Grabenkondensators speicherbar ist, d.h. die Speicherkapazität des Grabenkondensators wird verbessert.

In einer weiteren bevorzugten Ausführungsform wird sowohl eine metallische Schicht als auch eine dielektrische Schicht mit einer großen Dielektrizitätskonstanten eingesetzt. Durch die Kombination der zwei vorteilhaften Materialien wird ein besonders vorteilhafter Grabenkondensator erhalten. Die metallische Schicht sorgt für einen geringen Widerstand bei der Kontaktierung des Grabenkondensators und die dielektrische Schicht sorgt für eine große Ladungskapazität des Grabenkondensators.

Vorzugsweise ist angrenzend an den Graben eine elektrisch leitende Schicht im Substrat ausgebildet, die eine Gegenelektrode des Kondensators bildet. Aufgrund der Anordnung der elektrisch leitenden Schicht nahe an der Füllung des Grabenkondensators wird eine besonders hohe Speicherkapazität erhalten.

In einer weiteren bevorzugten Ausführungsform ist der Graben von einer Deckschicht bedeckt, die eine Öffnung zur elektrischen Kontaktierung der Füllung des Grabens aufweist. Auf der Unterseite der Deckschicht ist eine dielektrische Schicht wenigstens teilweise aufgebracht. Auf diese Weise wird auch die Fläche der Deckschicht zur Speicherung der Ladung ausgenutzt. Dadurch wird die Kapazität des Grabenkondensators erhöht.

Das erfindungsgemäße Verfahren gemäß Anspruch 7 weist den wesentlichen Vorteil auf, dass nach der Herstellung des Grabens der Graben mit einer Zwischenfüllung aufgefüllt wird, dass anschließend der Transistor zur Ansteuerung des Grabenkondensators eingebracht wird, dass daraufhin die Zwischenfüllung wieder aus dem Graben entfernt wird und abschließend die dielektrisch wirksame, finale Kondensatorfüllung in den Graben eingebracht wird. Das erfindungsgemäße Verfahren weist den Vorteil auf, dass im Graben während der Prozessschritte mit hohen Temperaturen die Zwischenfüllung im Graben eingebracht ist und die dielektrische Schicht und/oder eine Elektroden-schicht erst nachträglich in den Graben eingebracht werden.

Die Zwischenfüllung ist in der Weise ausgewählt, dass sie hohe Temperaturen ohne eine wesentliche Beeinträchtigung ihrer mechanischen Eigenschaften übersteht, dass sie den Graben nicht nachteilig beeinflusst, und dass sie sich leicht wieder aus dem Graben entfernen lässt. Nach Integration des Transistors wird der Graben mit einer Kondensatorfüllung mindestens teilweise aufgefüllt, die oft nur geringere Temperaturen verträgt. Auf diese Weise ist es möglich, als Kondensatorfüllung Materialien zu verwenden, die eine verbesserte Funktionsweise der Speicherzelle ermöglichen, aber hohe Temperaturen nicht ohne Minderung ihrer Materialqualität aushalten können.

Vorzugsweise wird als Kondensatorfüllung ein dielektrisches Material verwendet, das eine große Dielektrizitätskonstante aufweist. Damit wird die Speicherkapazität des Grabenkondensators erhöht.

In einer Weiterbildung des erfindungsgemäßen Verfahrens wird vorzugsweise zur Kontaktierung der dielektrischen Schicht eine metallische leitende Schicht als Elektrode in den Graben eingebracht. Die Verwendung der metallischen Schicht ist nur deshalb möglich, da sie erst nach den Hochtemperaturprozessen eingebracht wird. Die metallische Schicht weist den Vorteil auf, dass ein geringerer Widerstand zur Kontaktierung des Grabenkondensators erreicht wird.

Vorzugsweise wird zum Entfernen der Zwischenfüllung ein Kanal eingätzt und die Seitenwände des Kanals mit einer Schutzschicht bedeckt. Anschließend wird die Zwischenfüllung aus dem Graben über den Kanal herausgeätzt. Auf diese Weise ist eine einfache Entfernung der Zwischenfüllung möglich.

Die Erfindung wird im Folgenden anhand der Figuren näher erläutert. Es zeigen

Fig. 1 einen Querschnitt durch einen ersten Speicherbaustein mit einer ersten Speicherzelle,

Fig. 2 eine Ansicht von oben auf den ersten Speicherbaustein,

Fig. 3 eine schematische Darstellung eines Verfahrensablaufs zur Herstellung einer ersten Speicherzelle,

Fig. 4 einen Querschnitt durch einen Speicherbaustein mit einer zweiten Speicherzelle,

5 Fig. 5 eine Ansicht von oben auf den zweiten Speicherbaustein,

Fig. 6 einen schematischen Verfahrensablauf zur Herstellung der Speicherzelle des zweiten Speicherbausteins und

10 Fig. 7 einen schematischen Verfahrensablauf zur Herstellung einer dritten Speicherzelle.

Fig. 1 zeigt einen Teil eines Querschnitts durch einen Speicherbaustein, der in Form eines DRAM ausgebildet ist. In dem Ausschnitt ist eine Speicherzelle bestehend aus einem Transistor und einem Grabenkondensator dargestellt. Der Grabenkondensator weist einen Graben 2 auf, der in ein Substrat 1, insbesondere in ein Halbleitersubstrat, eingebracht ist. Das Substrat 1 ist üblicherweise in Form eines Siliciumwafers ausgebildet. Der Graben 2 weist einen rechteckförmigen Querschnitt auf, wobei in den Seitenwänden des Substrates, die den Graben 2 begrenzen, vertikale Plate-Dotierzonen 5 eingebracht sind. Die vertikalen Plate-Dotierzonen 5 stellen erste Dotierzonen dar und sind an den Seitenwänden des Grabens 2 ausgebildet. Im oberen Bereich des Grabens 2 sind angrenzend an die vertikalen Plate-Dotierzonen 5 horizontale Plate-Dotierzonen 15 angeordnet, die zweite Dotierzonen darstellen, die im Wesentlichen horizontal ausgebildet sind und sowohl seitlich zu einer vertikalen Plate-Dotierzone 5 als auch über dem Graben 2 in einer Deckschicht 6 ausgebildet sind. Die Deckschicht 6 ist im Wesentlichen als epitaktische Siliciumschicht ausgebildet. Die vertikale und horizontale Plate-Dotierzone 5, 15 stellen eine zweite Elektrode des Grabenkondensators dar. Auf der Innenwand des Grabens 2 ist eine dielektrische Schicht 3 aufgebracht. Die dielektrische Schicht 3 stellt ein Speicherdielektrikum dar. Vorzugsweise bedeckt die dielektrische Schicht 3 die gesamte Wandung des Grabens 2. Im oberen Bereich mündet der Graben 2 in einen Strap-Kanal

24, der einen Verbindungskanal darstellt und vorzugsweise senkrecht durch die Deckschicht 6 nach oben bis zu einer dritten Zwischenisolationsschicht 25 geführt ist. Der Strap-Kanal 24 wird seitlich von der Deckschicht 6 begrenzt. Weiterhin ist in einem vorgegebenen Abstand von der Unterkante des Strap-Kanals 24 ein Isolationskragen 7 im Strap-Kanal 24 angeordnet. Der Isolationskragen 7 ist hülsenförmig ausgebildet und reicht bis zu einem vorgegebenen Abstand von der Oberseite der Deckschicht 6. Die dielektrische Schicht 3 ist auch auf der Unterseite der Deckschicht 3 über dem Graben 2 angeordnet und vorzugsweise bis zur Unterkante des Isolationskragens 7 geführt. Auf der Innenseite der dielektrischen Schicht 3 ist eine Elektrodenschicht 4 angeordnet, die ebenfalls bis in den Strap-Kanal 24 geführt ist. Die Elektrodenschicht 4 stellt eine Elektrode des Grabenkondensators dar. Vorzugsweise ist die Elektrodenschicht 4 nach oben in dem Strap-Kanal 24 bis über die Unterkante des Isolationskragens 7 geführt. Im Strap-Kanal 24 ist eine leitfähige Strap-Füllung 17 angeordnet, die nach oben bis knapp unter die Oberkante der Deckschicht 6 geführt ist. Die Strap-Füllung 17 ist im oberen Endbereich von einer Strap-Kappe 26 umgeben, die aus einem leitenden Material gefertigt ist. Die Strap-Kappe 26 ist in Form einer Hülse mit Endplatte ausgebildet und liegt mit einem Hülsenrand auf dem Isolationskragen 7 und mit der Endplatte auf der Strap-Füllung 17 auf. Die Strap-Kappe 26 schließt etwa mit der Oberkante der Deckschicht 6 ab.

Die Deckschicht 6 besteht im Wesentlichen aus einer Siliciumschicht, die über dem Graben 2 angeordnet ist und in deren unteren Bereich die horizontale Plate-Dotierzone 15 aufweist. Die horizontale Plate-Dotierzone 15 grenzt sowohl seitlich an den Strap-Kanal 24 als auch an die vertikale Dotierzone 5. Die Deckschicht 6 weist im linken Bereich neben dem Strap-Kanal 24 eine STI-Feldisolationsschicht 9 auf, die bis zur Oberkante der Deckschicht 6 geführt ist. Im rechten Bereich neben dem Isolationskragen 7 ist angrenzend an die Strap-

Kappe 26 ein Drain-Gebiet 21 ausgebildet. In einem vorgegebenen Abstand rechts davon ist ein Source-Gebiet 22 angrenzend an die Oberkante der Deckschicht 6 angeordnet.

5 In der dritten Schicht 25 ist angrenzend an die Feldisolationsschicht 9 eine passive Wortleitung 27 angeordnet, die von einer Wortleitungsdeckisolation 19 bedeckt ist. Die Wortleitungsdeckisolation 19 ist auf der linken Seite von einer Versiegelungsschicht 20 bedeckt, auf der wiederum eine erste Isolationsfüllung 10 aufgebracht ist. In einem vorgegebenen

10 Abstand zur passiven Wortleitung 27 ist eine aktive erste Wortleitung 28 rechts neben dem Strap-Kanal 24 in der dritten Schicht 25 angeordnet. Die erste aktive Wortleitung 28 liegt auf einer Oxidschicht auf, die auf der Deckschicht 6 angeordnet ist. In zwei gegenüberliegenden Randbereichen ist die erste

15 Wortleitung 28 über dem Drain-Gebiet 21 und dem Source-Gebiet 22 angeordnet. Die erste Wortleitung 28, das Drain- und Source-Gebiet 21, 22 und der Bereich der Deckschicht 6, der unter der ersten Wortleitung angeordnet ist, stellen einen ersten Transistor 18 dar.

20 Rechts neben der ersten aktiven Wortleitung 28 ist in einem vorgegebenen Abstand eine weitere aktive Wortleitung 8 in der dritten Schicht 25 angeordnet. Die weitere aktive Wortleitung 8 ist durch eine Oxidschicht getrennt von der Deckschicht 6 und mit einem linken Randbereich über dem Source-Gebiet 22

25 angeordnet. Die erste und die weitere Wortleitung 28, 8 sind jeweils von einer Wortleitungsdeckisolation 19 bedeckt. Die Wortleitungsdeckisolation 19 ist im seitlichen Randbereich wiederum mit einer Versiegelungsschicht 20 abgedeckt, die vom oberen Endbereich der Wortleitungsdeckisolation 19 bis zur

30 Oberkante der Deckschicht 6 geführt ist. Zwischen der ersten und weiteren Wortleitung 28, 8 ist über dem Source-Gebiet 22 ein Bitleitungs-Plug 11 in der dritten Schicht 25 angeordnet, die bis zur Oberkante der dritten Schicht 25 geführt ist. Der Bitleitungs-Plug 11 stellt einen Kontaktanschluss dar. Die

35 weiteren Bereiche der dritten Schicht 25 sind durch die Zwi-

schenisolation 23 ausgefüllt. Auf der dritten Schicht 25 ist eine Bitleitung 12 aufgebracht. Die Bitleitung 12 steht in leitendem Kontakt mit dem Bitleitungs-Plug 11.

Die Funktionsweise der Speicherzelle der Fig. 1 ist wie

5 folgt: In dem Grabenkondensator, der von der dielektrischen Schicht 3, der Elektrodenschicht 4 und der vertikalen und horizontalen Plate-Dotierzone 5, 15 gebildet wird, ist eine Ladung gespeichert. Soll die Ladung ausgelesen werden, so wird die erste Wortleitung 28 mit einer vorgegebenen Spannung be-
10 aufschlägt, so dass der Transistor 18 bestehend aus der ersten Wortleitung 28, dem Drain-Gebiet 21 und dem Source-Gebiet 22, elektrisch leitend geschaltet wird. Da das Drain-Gebiet 21 elektrisch leitend über die Strap-Kappe 26, die leitende Strap-Füllung 17 mit der Elektrodenschicht 4 verbunden ist,
15 wird die im Grabenkondensator gespeicherte elektrische Ladung über den Transistor 18 und den Bitleitungs-Plug 11 an die Bitleitung 12 übertragen. Die Bitleitung 12 ist üblicherweise mit einem Leseverstärker verbunden, der aufgrund der im Grabenkondensator gespeicherten Ladung den Spannungspegel auf
20 der Bitleitung 12 erfasst und weitergibt. Durch die Ausbildung der Elektrodenschicht 4 in Form eines metallischen Materials wird der Ohm'sche Widerstand zum Kontaktieren des Grabenkondensators erheblich reduziert.

Weiterhin bietet die Ausbildung der dielektrischen Schicht 3
25 in Form eines dielektrischen Materials mit einer großen Dielektrizitätskonstante den Vorteil, dass eine größere Ladungsmenge bei gleichen Dimensionen im Grabenkondensator gespeichert werden kann. Aufgrund des erfindungsgemäßen Herstellungsverfahrens kann als dielektrisches Material für das
30 Speicherdielektrikum ein Material verwendet werden, das nur bis zu einer relativ geringen Höchsttemperatur von beispielsweise 800 bis 1050°C stabil ist. Als bevorzugte Materialien werden binäre Oxide, wie z.B. Tantaloxid (Ta_2O_5) mit einer Dielektrizitätskonstanten von 25 bis 26 und einer Temperatur-
35 stabilität von 800°C verwendet. Weiterhin ist die Verwendung

von Aluminiumoxid (Al_2O_3) mit einer Dielektrizitätskonstanten von 10 und einer Temperaturstabilität von bis zu 830°C als erste dielektrische Schicht 3 vorteilhaft.

5 Als weiteres Material wird vorzugsweise Hafniumoxid (HfO_2) mit einer Dielektrizitätskonstanten von 15 bis 40 als dielektrische erste Schicht 3 verwendet. Weiterhin bietet sich Zirkoniumoxid (ZrO_2) an, das eine Dielektrizitätskonstante von 11 bis 25 aufweist. Zudem kann auch Lanthanoxid (La_2O_3) mit einer Dielektrizitätskonstanten von 20 bis 30 als dielektrische Schicht 3 verwendet werden. Bei der Verwendung von Lanthanoxid ist jedoch zu beachten, dass Lanthanoxid keine gesicherte Stabilität gegenüber Wasserstoff aufweist. Zudem kann zur Ausbildung der dielektrischen Schicht 3 auch Yttriumoxid (Y_2O_3) verwendet werden, das eine Dielektrizitätskonstante von 12 bis 15 aufweist.

Weiterhin kommen zur Ausbildung der dielektrischen Schicht 3 noch Aluminiumoxidverbindungen in Frage. Die Verbindungen mit Hafnium, Zirkonium und Lanthan sind besonders für die Ausbildung der dielektrischen Schicht 3 geeignet. Beispielsweise können die Materialverbindungen Hf-Al-O , Zr-Al-O , La-Al-O verwendet werden.

Weiterhin kann die dielektrische Schicht 3 auch aus Silicatverbindungen wie z.B. Hf-Si-O , Zr-Si-O , La-Si-O oder Y-Si-O hergestellt werden. Vorzugsweise wird die Materialverbindung $\text{Hf}_7\text{Si}_{29}\text{O}_{64}$ mit einer Temperaturstabilität von bis zu 1050°C verwendet. Auch die Materialverbindung $\text{Zr}_4\text{Si}_{31}\text{O}_{65}$ ist bis zu einer Temperatur von 800°C stabil. Zudem eignet sich eine 30%ige Lanthanoxid-Siliciumoxid-Verbindung. Ebenso ist eine 70%ige Siliciumoxid-Silicium-Sauerstoff-Verbindung bis zu einer Temperatur von 1000°C stabil und als dielektrische Schicht 3 geeignet. Auch ist eine 30%ige Hafniumoxid-Silicium-Sauerstoff- und eine 70%ige Siliciumoxid-Silicium-Sauerstoff-Verbindung als dielektrische Schicht 3 geeignet und bis zu einer Temperatur von 1000°C stabil. Lanthandioxid-

silicat und Siliciumdioxidsilicat weisen eine Dielektrizitätskonstante von 14 auf. Hafniumdioxidsilicat und Siliciumdioxidsilicat weisen eine Dielektrizitätskonstante von 7 auf.

5 Weitere Materialverbindungen, die als dielektrisches Material für die dielektrische Schicht 3 geeignet sind, sind beispielsweise Y_2O_3 - ZrO_2 mit einer Dielektrizitätskonstanten von 30 und Strontiumtitanoxid ($SrTiO_3$) mit einer Dielektrizitätskonstanten von 175. Strontiumtitanoxid ist bis zu einer Temperatur von 800°C stabil.

10 Die Elektrodenschicht 4 wird vorzugsweise aus dotiertem Polysilicium oder aus einer Metallverbindung hergestellt. Aufgrund des erfindungsgemäßen Verfahrens werden die dielektrische Schicht 3 und/oder die Elektrodenschicht 4 nach den Prozessschritten in den Graben 2 eingebracht, die eine hohe
15 Temperatur erfordern. Dies sind beispielsweise die Prozesse zur Integration des Transistors. Nach dem Einbringen der dielektrischen Schicht 3 und der Elektrodenschicht 4 werden nur noch Prozessschritte mit geringeren Temperaturen durchgeführt, die die temperatursensitiven dielektrischen und metallischen Materialien der ersten dielektrischen Schicht 3 und
20 der Elektrodenschicht 4 nicht beschädigen.

Fig. 2 zeigt eine Ansicht von oben auf den Speicherbaustein der Fig. 1, wobei schematisch verschiedene Bereiche der Speicherzelle eingezeichnet sind. Es ist eine passive Wortleitung
25 27 dargestellt, die mit der Wortleitungsdeckisolation 19 bedeckt ist. Neben der passiven Wortleitung 27 ist die aktive erste Wortleitung 28 angeordnet, die ebenfalls von einer Wortleitungsdeckisolation 19 bedeckt ist. In Form einer gestrichelten Linie ist die Form des Grabens 2 angedeutet. In
30 Form einer durchgehenden Linie ist ein aktives Gebiet 59 angedeutet, das in der Deckschicht 6 ausgebildet ist und sich bis über zwei Gräben 2, 30 erstreckt. Das aktive Gebiet 59 kennzeichnet einen Bereich der Deckschicht 6, der zwischen zwei nebeneinander angeordneten Gräben 2, 30 angeordnet ist,

und in dem zwei Transistoren mit der ersten und weiteren Wortleitung 28, 8 als Steueranschlüsse ausgebildet sind. Neben der ersten aktiven Wortleitung 28 ist das Source-Gebiet 22 eingezeichnet. Rechts neben dem Source-Gebiet 22 ist die
5 zweite aktive Wortleitung 8 angeordnet, die ebenfalls von einer Wortleitungsdeckisolation 19 bedeckt ist. Die ersten und weiteren Wortleitungen 28, 8 sind parallel zueinander angeordnet. Die senkrecht zu den Wortleitungen angeordneten Bitleitungen 12 sind in Fig. 2 nicht dargestellt. Die weitere
10 Wortleitung 8 ist teilweise über einem weiteren Graben 30 angeordnet, der ebenfalls in Form einer gestrichelten Linie angedeutet ist. Der Anschluss des weiteren Grabens 30 an einen weiteren Transistor, der durch die zweite Wortleitung 8 gebildet wird, ist entsprechend dem Anschluss des Grabens 2 an
15 die erste Wortleitung 28 ausgebildet.

Fig. 3 zeigt die wesentlichen Prozessschritte zum Herstellen der erfindungsgemäßen Speicherzelle der Fig. 1. Dabei wird in ein beispielsweise leitendes Siliciumsubstrat 1 mit Lithographie- und Ätzverfahren über eine Hartmaske ein Graben 2 eingeätzt. Dazu ist das Siliciumsubstrat 1 mit einer Siliciumdioxidschicht und einer Siliciumnitridschicht als Hartmaske be-
20 beschichtet. Nach der Maskenentfernung und der Reinigung wird z.B. mittels einer mit Arsen dotierten Glasschicht 31 und folgendem Diffusionsprozess die vertikale Plate-Dotierzone 5 in den Seitenwänden des Grabens 2 erzeugt. Anschließend wird eine Zwischenfüllung 32 bis zur vollständigen Verfüllung des Grabens 2 abgeschieden. Die Zwischenfüllung 32 ist vorzugs-
25 weise aus Siliciumdioxid gebildet und für große Nassätzraten optimiert.

30 In einer ersten Ausgestaltung des Verfahrens wird der Graben 2 im oberen Abschnitt durch ein anteiliges isotropes Ätzverfahren geringfügig bauchig geätzt, so dass ein negativer Flankenwinkel erzeugt wird. Dadurch nimmt der Querschnitt der Grabenöffnung nach unten zu. Durch die bauchige Form im oberen Bereich des Grabens 2 wird der Graben 2 durch die Zwi-
35

schenfüllung 32 geschlossen, noch bevor tiefer liegende Abschnitte des Grabens 2 vollständig verfüllt sind. Dadurch verbleibt im unteren Bereich des Grabens 2 entlang dessen Symmetrieachse ein ausgedehnter Lunker, d.h. ein Hohlraum, der die spätere restlose Herauslösung der Zwischenfüllung 32 wesentlich erleichtert. Dieser Effekt kann durch ein akonformes Abscheideverfahren, d.h. in der Tiefe des Grabens, stark abfallende Abscheideraten des auf die Glasschicht 31 abgeschiedenen Siliciumoxids noch verstärkt werden. Fig. 3B zeigt die Anordnung eines aufgefüllten Grabens 2 mit einem Lunker 60.

In einer weiteren Ausgestaltung des Verfahrens wird anstelle des Siliciumoxids auf die Glasschicht 31 zunächst eine Siliciumschicht abgeschieden. Die Siliciumschicht wird dann bis knapp unter das Niveau der Oberfläche des Siliciumsubstrats 1 planar zurückgeätzt. Anschließend wird erst eine Siliciumdioxidschicht abgeschieden. Somit besteht in diesem Ausführungsbeispiel die Dummy-Füllung aus der Glasschicht 31 und einer als Siliciumschicht ausgebildeten Zwischenfüllung, die von einem Siliciumoxid bedeckt ist.

Anschließend wird die Zwischenfüllung 32 über ein planares Rückätzverfahren bis auf das Niveau der Oberfläche des Siliciumsubstrats 1 zurückgeätzt. Dieser Verfahrensstand ist in Fig. 3A dargestellt.

Daraufhin wird die Nitridschicht und die Oxidschicht entfernt und eine einkristalline erste Siliciumschicht 33, die eine epitaktische Deckschicht 6 darstellt, auf den offenen Bereich des Siliciumsubstrats 1 und über den mit der Dummy-Füllung versehenen Graben 2 mit homogener Dicke ausgebildet. Dieser Verfahrensstand ist in Fig. 3C dargestellt. Vorzugsweise wird zur Abscheidung der Siliciumschicht 33 ein selektives, epitaktisches Abscheideverfahren verwendet, das genauer in der Offenlegungsschrift DE 19941148 beschrieben ist und hier nicht weiter erläutert wird.

In einem folgenden Verfahrensschritt wird mittels einer Ionenimplantation die horizontale Plate-Dotierzone 15 eingebracht, die n-dotiert ist. Dieser Verfahrensstand ist in Fig. 3D dargestellt. Anschließend wird eine STI-Feldisolationsschicht 9 über einem linken Teilbereich des Grabens 2 in die erste Siliciumschicht 33 eingebracht. Dieser Verfahrensstand ist in Fig. 3E dargestellt. Die Feldisolationsschicht 9 reicht bis zu einem vorgegebenen Abstand zur horizontalen Plate-Dotierzone 15 und ist bis an die Obergrenze der ersten Siliciumschicht 33 geführt. Die Feldisolationsschicht 9 erstreckt sich seitlich bis über einen Teil des Grabens 3.

Anschließend werden eine passive Wortleitung 27 und eine erste und zweite aktive Wortleitung 28, 8 auf die erste Siliciumschicht 33 aufgebracht. Die Wortleitungen werden mit Wortleitungsdeckisolationsschichten 19 abgedeckt. Anschließend wird nach bekannten Verfahren, wie beispielsweise in DE 19941148 beschrieben, das erste Drain-Gebiet 21 und das erste Source-Gebiet 22 in die erste Siliciumschicht 33 eingebracht. Das Einbringen des ersten Drain- und Source-Gebietes 21, 22 erfolgt nach bekannten Dotierverfahren und einer anschließenden Hochtemperaturdiffusionsphase. Zusätzlich wird auf die Wortleitungsdeckisolationsschicht 19 eine Versiegelungsschicht 20 aufgebracht. Das Drain-Gebiet 21, das Source-Gebiet 22 und die erste aktive Wortleitung 28 bilden einen ersten Transistor 18. Dieser Verfahrensstand ist in Fig. 3F dargestellt.

Anschließend wird eine erste Isolationsfüllung 10 zwischen die passive Wortleitung 27 und die erste aktive Wortleitung 28 eingebracht. Zudem wird zwischen die erste und die zweite aktive Wortleitung 28, 8 ein leitender Bitleitungs-Plug 11 eingebracht. Die erste Isolationsfüllung 10 und der Bitleitungs-Plug 11 werden bis auf die Oberkante der Versiegelungsschicht 20 abgeätzt. Daraufhin wird der Bitleitungs-Plug einem Ausheilungsprozess unterzogen. Dieser Prozess stellt im Wesentlichen die letzte Hochtemperaturbelastung dar. An-

schließlich wird eine Strapfenster-Maske 61 bestehend aus Si_3N_4 und eine Strapfenster-Hartmaske 63 bestehend aus SiO_2 auf das Substrat aufgebracht. Über dem Zwischenbereich zwischen der passiven Wortleitung 27 und der aktiven Wortleitung 28 wird ein Kontaktfenster in die Strapfenster-Maske und die Strapfenster-Hartmaske 61, 63 eingebracht. Dieser Verfahrensstand ist in Fig. 3G dargestellt. Anschließend wird der Bereich zwischen der passiven Wortleitung 27 und der ersten aktiven Wortleitung 28 freigeätzt und dadurch die erste Isolationsfüllung 10 zwischen der ersten aktiven und der passiven Wortleitung entfernt. Zudem wird die Strapfenster-Hartmaske 63 entfernt. Dieser Verfahrensstand ist in Fig. 3H dargestellt.

Anschließend wird ein Strap-Kanal 24 durch die Deckschicht 6 bis an die Oberkante des aufgefüllten Grabens 2 geätzt. Dieser Verfahrenszustand ist in Fig. 3I dargestellt.

Bei dem folgenden Prozessschritt wird die Seitenwand des Strap-Kanals 24 mit einer dünnen Ätzkanalschutzschicht 62 bedeckt. Die Ätzkanalschutzschicht 62 ist als Nitridschicht ausgebildet und bis an die Oberkante der Zwischenfüllung 32 geführt. Dieser Verfahrenszustand ist in Fig. 3J dargestellt.

Anschließend wird die Ätzkanalschutzschicht 62 durch ein anisotropes, selektives Plasmaätzen von der Oberfläche der Zwischenfüllung wieder entfernt.

Bei einem folgenden Prozessschritt wird die Zwischenfüllung und die Glasschicht mittels eines isotropen Ätzvorganges aus dem Graben 2 restlos entfernt, indem der für den späteren Strapanschluss notwendige, zwischen aktiver und passiver Wortleitung 27, 28 angeordnete Abstand temporär als versiegelter Ätzkanal ausgenutzt wird. Bei diesem Prozessschritt sind alle sonst auf dem Speicherbaustein offenliegenden Oberflächen gegen die Ätzlösung, die zum Herauslösen der Zwischenfüllung verwendet wird, resistent ausgebildet oder durch

eine Versiegelungsschicht abgedeckt. Dieser Verfahrenszustand ist in Fig. 3K dargestellt.

Nach der Reinigung der Innenwand des Grabens 2 erfolgt vorzugsweise eine konforme Abscheidung der dielektrischen Schicht 3 und anschließend eine Abscheidung der Elektroden-
5 Schicht 4. Vorzugsweise werden die dielektrische Schicht 3 und die Elektroden-
schicht 4 nach dem Atomic Layer Deposition-Verfahren (ALD) abgeschieden. Dieser Verfahrenszustand ist in Fig. 3L dargestellt. In Fig. 3L ist zu erkennen, dass das Ma-
10 terial, das die Elektroden-
schicht 4 bildet, auch den Strap-
Kanal 24 füllt.

Anschließend wird die Elektroden-
schicht 4 selektiv bis kurz über die Oberkante des Grabens 2 zurückgeätzt. Anschließend wird die zurückgeätzte Elektroden-
15 schicht 4 als Ätzmaske für die isotrope Entfernung der freiliegenden Bereiche der dielektrischen Schicht 3 verwendet. Auch wird die Ätzkanal-
schutzschicht 62 als Ätzmaske in diesem Prozess eingesetzt. Der Verfahrenszustand ist in Fig. 3M dargestellt.

In einer vorteilhaften Ausgestaltung des erfindungsgemäßen
20 Verfahrens erfolgt die selektive Rückätzung der Elektroden-
schicht 4 bis kurz unter die Oberkante des Grabens 2, wodurch der Graben 2 wieder geöffnet wird. Danach erfolgt anschließend die Abscheidung einer weiteren Elektroden-
schicht 4, so dass die Dicke der resultierenden Elektroden-
25 schicht 4 im Graben 2 in vorteilhafter Weise vergrößert wird. Dieser Prozess-
zyklus von Abscheidung und Rückätzung der Elektroden-
schicht 4 kann bei Bedarf mehrfach durchgeführt werden. Dabei ist jedoch die letzte abgeschiedene Elektroden-
schicht 4 bis kurz über die Oberkante des Grabens zurückzuätzen, wie in Fig. 3M
30 dargestellt ist. Eine größere Dicke der resultierenden Elektroden-
schicht 4 im oberen Bereich des Grabens 2 weist einen besonders geringen Ohm'schen Widerstand zur Kontaktierung der im Graben 2 befindlichen Elektroden-
schicht 4 auf. Somit ist diese Ausführungsform besonders vorteilhaft für eine Kontak-

tierung des Grabenkondensators mit einem geringen Ohm'schen Widerstand.

Im Anschluss daran erfolgt die Ausbildung der Strap-Füllung 17, die von einem Isolationskragen 7 umgeben ist. Dazu wird
5 zuerst die Ätzkanalschicht 62 bis knapp unter die Oberkante der Elektrodenschicht 4 abgeätzt und anschließend die Seitenwände des Strap-Kanals 24 mit einem Isolationskragen 7 versehen. Der Isolationskragen 7 besteht vorzugsweise aus Siliciumdioxid. In den Isolationskragen 7 wird anschließend die elektrisch leitende Strap-Füllung 17 eingebracht. Dieser Ver-
10 fahrenszustand ist in Fig. 3N dargestellt.

Daraufhin wird der obere Bereich des Isolationskragens 7 abgeätzt und eine Leitungskappe 26 aus einem elektrisch leitenden Material auf die Strap-Füllung 17 und den Isolationskra-
15 gen 7 aufgebracht. Die Leitungskappe 26 ist leitend mit der Strap-Füllung 17 und mit dem ersten Drain-Anschluss 21 verbunden. Dieser Verfahrensstand ist in Fig. 30 dargestellt.

Anschließend wird der noch offene Bereich zwischen der passiven Wortleitung 27 und der ersten aktiven Wortleitung 28 mit
20 einer Zwischenisolation 23 aufgefüllt und die Oberfläche der Wortleitungen damit abgedeckt. Dieser Verfahrensstand ist in Fig. 3P dargestellt. In die Zwischenisolationsschicht 23 wird über dem Bitleitungs-Plug 11 ein Verbindungsloch eingeätzt, und das Verbindungsloch mit einer leitenden Schicht planar
25 aufgefüllt. Auf die zweite Zwischenisolationsschicht 23 wird anschließend die Bitleitung 12 aufgebracht. Auf diese Weise wird ein Speicherbaustein mit Speicherzellen gemäß der Fig. 1 erhalten.

Fig. 4 zeigt eine weitere Ausführungsform einer Speicherzelle
30 in Form einer Sub8F²-DRAM-Zelle mit einem Open-Bitline-Layout mit selbstjustiert angeschlossener, begrabener Grabenkapazität mit Niedertemperatur-High-K-Dielektrikum und einer metallischen Elektrode. Der Aufbau des Grabenkondensators ist im

Wesentlichen identisch zu dem Aufbau des Grabenkondensators der Fig. 1. Ein wesentlicher Unterschied besteht darin, dass zwei benachbarte Gräben 2, 34 über zwei Strap-Kontakte 37, 38 elektrisch kontaktiert sind, wobei die Strap-Kontakte 37, 38 nebeneinander angeordnet sind. Fig. 4 zeigt einen Querschnitt durch einen DRAM-Speicher mit einem ersten und einem zweiten Graben 2, 34, die in ein Substrat 1 eingebracht sind. Der erste und der zweite Graben 2, 34 sind jeweils von einer vertikalen Plate-Dotierzone 5 umgeben, die in das Substrat 1 an den Seitenwänden des Grabens 2 eingebracht sind. Weiterhin sind die Seitenwände des ersten und zweiten Grabens 2, 34 mit einer dielektrischen Schicht 3 bedeckt. Auf der dielektrischen Schicht 3 ist eine Elektrodenschicht 4 aufgebracht. Der Innenraum des ersten und des zweiten Grabens 2, 34 ist teilweise als Hohlraum ausgebildet.

Zwischen den einander zugeordneten vertikalen Plate-Dotierzonen 5 des ersten und des zweiten Grabens 2, 34 ist ein Trennsteg 35 aus dem Siliciums substrat 1 gebildet. Der erste und der zweite Graben 2, 34 sind mit einer Deckschicht 6 bedeckt. Die Deckschicht 6 besteht im Wesentlichen aus einer ersten epitaktischen Siliciumschicht 33. In der Deckschicht 6 ist ein gemeinsamer Verbindungskanal 36 eingebracht, der symmetrisch zum Trennsteg 35 angeordnet ist und jeweils über einem Teil des ersten und des zweiten Grabens 2, 34 angeordnet ist. Der gemeinsame Verbindungskanal 36 wird von einem Isolationskragen 7 umgeben und damit gegenüber der umgebenden Siliciumschicht elektrisch isoliert. Der Isolationskragen 7 besteht beispielsweise aus Siliciumdioxid. Die Deckschicht 6 weist im unteren Bereich eine horizontale Plate-Dotierzone 15 auf, die an den Isolationskragen 7 angrenzt. Im gemeinsamen Verbindungskanal 36 ist symmetrisch eine Zwischenisolationsschicht 23 eingebracht, die ausgehend von einer dritten Schicht 25 durch die Deckschicht 6 geführt ist und bis zum Trennsteg 35 reicht. Die Zwischenisolationsschicht 23 stellt eine Isolationsfüllung dar und führt zu einer Aufteilung des gemeinsamen Verbindungskanals 36 in den ersten und zweiten

Strap-Kontakt 37, 38, die voneinander elektrisch isoliert sind. Der erste und der zweite Strap-Kontakt 37, 38 sind jeweils mit einer elektrisch leitenden Strap-Füllung 17 gefüllt. Die Strap-Füllung 17 ist bis zu einem vorgegebenen Abstand zur Oberkante der Deckschicht 6 geführt. Auf der Strap-Füllung 17 des ersten und zweiten Strap-Kontakts 37, 38 ist eine erste und zweite Strap-Kappe 39, 40 aufgebracht, die etwas über die Obergrenze der Deckschicht 6 hinausragt. Die erste und zweite Strap-Kappe 39, 40 sind aus einem elektrisch leitenden Material, vorzugsweise aus dotiertem Silicium hergestellt. Im Bereich der ersten und zweiten Strap-Kappe 39, 40 weist der Isolationskragen 7 einen vorgegebenen Abstand zur Oberkante der Deckschicht 6 auf. Auf diese Weise wird eine leitende Verbindung zwischen der ersten bzw. zweiten Strap-Kappe 39, 40 und einem ersten bzw. zweiten Drain-Gebiet 21, 41 ausgebildet, die angrenzend an die erste und zweite Strap-Kappe 39, 40 in die Siliciumschicht der Deckschicht 6 eingebracht sind. Das zweite Drain-Gebiet 41 ist angrenzend an eine dritte Wortleitung 43 ausgebildet. An der Unterseite der Strap-Füllungen 17 des ersten und zweiten Strap-Kontakts 37, 38 ist in einem Randbereich angrenzend an den Isolationskragen 7 die erste dielektrische Schicht 3 angeordnet. In Richtung der dritten Zwischenisolationsschicht 64 grenzt die Elektrodenschicht 4 an die Strap-Füllungen 17 an. Auf diese Weise ist ein elektrisch leitender Kontakt zwischen der Elektrodenschicht 4 im jeweiligen Graben und dem ersten bzw. dem zweiten Drain-Gebiet 21, 41 hergestellt. In der Deckschicht 6 sind im oberen Grenzbereich neben dem ersten und dem zweiten Drain-Gebiet 21, 41 ein erstes und ein zweites Source-Gebiet 22, 42 eingebracht, die einen vorgegebenen Abstand zu dem ersten und dem zweiten Drain-Gebiet 21, 41 aufweisen. In dem Bereich zwischen dem ersten Draingebiet 21 und dem ersten Source-Gebiet 22 ist eine erste Wortleitung 28 auf der Deckschicht 6 aufgebracht, die von einer Wortleitungsdeckisolation 19 umgeben ist. Auf der Wortleitungsdeckisolation 19 ist wiederum eine Versiegelungsschicht 20 aufgebracht. Der erste Drain-Anschluss 21, der erste Source-

Anschluss 22 und die erste Wortleitung 28 bilden den ersten Transistor 18. In einem vorgegebenen Abstand zur ersten Wortleitung 28 ist eine zweite Wortleitung 8 angeordnet, die wiederum mit einer Wortleitungsdeckisolation 19 und einer darauf aufgetragenen Versiegelungsschicht 20 umgeben ist. In dem Bereich zwischen der ersten und der zweiten Wortleitung 28, 8 ist ein Bitleitungs-Plug 11 eingebracht, der ausgehend vom ersten Source-Gebiet 22 durch die dritte Schicht 25 bis zu einer Bitleitung 12 geführt ist. Durch den Bitleitungs-Plug 11 ist eine elektrisch leitende Verbindung zwischen der Bitleitung 12 und dem ersten Source-Gebiet 22 hergestellt.

In dem Bereich zwischen dem zweiten Drain-Gebiet 41 und dem zweiten Source-Gebiet 42 ist auf der Deckschicht 6 eine dritte Wortleitung 43 aufgebracht, die von einer Wortleitungsdeckisolation 19 und einer Versiegelungsschicht 20 bedeckt ist. Die dritte Wortleitung 43 stellt zusammen mit dem zweiten Drain-Gebiet 41 und dem zweiten Source-Gebiet 42 einen zweiten Transistor 65 dar. Über dem zweiten Source-Gebiet 42 ist ein zweiter Bitleitungs-Plug 44 angeordnet, der durch die dritte Schicht 25 hindurch bis zu der Bitleitung 12 geführt ist, die auf der dritten Schicht 25 aufgebracht ist. Über den zweiten Bitleitungs-Plug 44 ist eine elektrisch leitende Verbindung zwischen dem zweiten Source-Gebiet 42 und der Bitleitung 12 hergestellt. Der erste und der zweite Bitleitungs-Plug 11, 44 sind durch die Zwischenisolationsschicht 23 elektrisch voneinander isoliert. Die Zwischenisolationsschicht 23 ist auf der Versiegelungsschicht 20, der ersten und der dritten Wortleitung 28, 43 aufgebracht. Die Zwischenisolationsschicht 23 verzweigt sich ausgehend von der Oberkante der Versiegelungsschicht 20 der ersten und der dritten Wortleitung 28, 43 in Richtung auf den gemeinsamen Verbindungskanal 36. Der Zwischenraum zwischen dem verzweigten Bereich der Zwischenisolationsschicht 23 und den seitlichen Flächen der Versiegelungsschicht 20 der ersten und der dritten Wortleitung 28, 43 ist durch eine Zwischenschicht ausgefüllt, die eine Strap-Trennmaske darstellt, elektrisch isolierend ausgebildet

ist und an der Oberkante der ersten und zweiten Strap-Kappe 39, 40 angrenzt.

Über die Bitleitung 12 kann durch die Ansteuerung der ersten Wortleitung 28 eine elektrisch leitende Verbindung zu dem Grabenkondensator des zweiten Grabens 34 hergestellt werden und die im zweiten Graben 34 gespeicherte Information ausgelesen werden. Weiterhin kann durch eine Ansteuerung der dritten Wortleitung 43 die im Grabenkondensator des ersten Grabens 2 gespeicherte Information über den ersten Strap-Kontakt 37, das zweite Drain-Gebiet 41, das zweite Source-Gebiet 42 und den zweiten Kontaktanschluss 44 an die Bitleitung 12 ausgelesen werden. Das Auslesen der im Grabenkondensator des zweiten Grabens 34 gespeicherten Information erfolgt über den zweiten Strap-Kontakt 38, das erste Drain-Gebiet 21, das erste Source-Gebiet 22 und den ersten Bitleitungs-Plug 11.

Die dielektrische Schicht 3 ist nicht nur auf den Seitenwänden des ersten und des zweiten Grabens 2, 34 aufgebracht, sondern auch auf der Unterseite der Deckschicht 6, die den ersten bzw. den zweiten Graben 2, 34 bedeckt. Somit wird eine vergrößerte Fläche zur Abspeicherung von Ladungen bereitgestellt.

Fig. 5 zeigt eine schematische Anordnung des Speicherbausteins der Fig. 4 von oben, wobei in einer gestrichelten Linie die Gräben 2, 34, das erste Source-Gebiet 22 und eine aktive Zone 45 in Form einer durchgezogenen Linie angedeutet ist. Weiterhin sind in Form von Streifen die erste, die zweite und die dritte Wortleitung 28, 8, 43 dargestellt. Ebenso ist das zweite Source-Gebiet 42 eingezeichnet. Die aktive Zone 45 wird in der ersten Siliciumschicht 33 unter zwei Wortleitungen 27, 8 gebildet, die gemeinsam an einem Source-Gebiet 22 angeschlossen sind.

Fig. 6 zeigt die wichtigsten Prozessschritte zur Herstellung eines Speicherbausteins gemäß der Fig. 4. Die Speicherzellen-

anordnung wird hergestellt, indem ein mit Siliciumoxid und Siliciumnitrid beschichtetes, leitendes Siliciumsubstrat 1 mittels Lithographie- und Ätzverfahren über eine Hartmaske zunächst Gräben 2, 34 geätzt werden. Nach der Maskenentfernung und Reinigung wird eine mit Arsen dotierte Glasschicht 31 auf die Seitenwände der Gräben 2, 34 aufgebracht. Durch einen anschließenden Diffusionsvorgang wird vertikale Plate-Dotierzone 5 in den Seitenwänden der Gräben 2, 34 erzeugt. Anschließend werden die Gräben 2, 34 vollständig mit einer SiO_2 -Schicht als Zwischenfüllung 32 aufgefüllt. Die Zwischenfüllung 32 bildet zusammen mit der in den Gräben 2, 34 verbliebenen Glasschicht 31 eine Dummy-Füllung.

In einer ersten Ausgestaltung des Verfahrens werden die Gräben 2, 34 im oberen Abschnitt durch ein anteilig isotropes Ätzen geringfügig bauchig geätzt, so dass ein negativer Flankenwinkel erzeugt wird. Durch die bauchige Form des Grabens 2, 34 wird die Öffnung des Grabens 2, 34 durch die Dummy-Füllung geschlossen, bevor tiefer liegende Abschnitte der Gräben 2, 34 vollständig aufgefüllt sind. Dadurch verbleibt im unteren Bereich der Gräben 2, 34 entlang dessen Symmetrieachse ein ausgedehnter Lunker 60, d.h. ein Hohlraum. Der Hohlraum erleichtert die spätere restlose Entfernung der Dummy-Füllung wesentlich. Dieser Effekt kann auch durch eine akonforme Abscheidung, bei der in der Tiefe des Grabens 2 eine stark abfallende Abscheiderate erzeugt wird, die auf die Glasschicht 31 abgeschiedene Siliciumoxidschicht 32 noch verstärkt werden.

In einer weiteren Ausgestaltung des Verfahrens wird anstelle der Zwischenfüllung 32 zunächst eine Siliciumschicht abgeschieden, die Siliciumschicht anschließend bis knapp unter das Niveau der Oberfläche des Siliciumsubstrats 1 planar zurückgeätzt und anschließend eine SiO_2 -Schicht als Zwischenfüllung 32 abgeschieden.

In einem folgenden Verfahrensschritt wird die Zwischenfüllung 32 mit einem planaren Rückätzverfahren bis auf das Niveau der Oberfläche des Siliciumsubstrates 1 zurückgeätzt, anschließend die Siliciumnitrid- und die Siliciumoxidschicht entfernt und eine einkristalline Siliciumschicht als Deckschicht 6 auf die Oberfläche des Siliciumsubstrats 1 und auf die Zwischenfüllung mit homogener Dicke aufgebracht. Dabei wird vorzugsweise das in der Offenlegungsschrift DE 19941148 beschriebene Verfahren zur selektiven epitaptischen Abscheidung eingesetzt.

Anschließend wird mittels Ionenimplantation die horizontale Plate-Dotierzone 15 in die Deckschicht 6 eingebracht. Danach wird eine streifenförmige STI-Feldisolationsschicht 9 hergestellt. Dann wird die erste, zweite und dritte Wortleitung 28, 8, 43 in den Bereichen zwischen den Drain- und Source-Gebieten aufgebracht. Die Wortleitungen werden mit einer Wortleitungsdeckisolation 19 und einer Versiegelungsschicht 20 versehen. Danach wird vorzugsweise entsprechend dem in der Offenlegungsschrift DE 19941148 beschriebenen Verfahren die Dotiergebiete der Transistoren mit dem ersten Drain-Gebiet 21, dem ersten Source-Gebiet 22, dem zweiten Drain-Gebiet 41 und dem zweiten Source-Gebiet 42 hergestellt. Anschließend wird eine Isolationsfüllung 10 zwischen die Wortleitungen eingebracht. Die Isolationsfüllung 10 wird in den Bereich zwischen den Wortleitungen, die an ein gemeinsames Source-Gebiet 22 angrenzen, entfernt und ein erster bzw. zweiter Bitleitungs-Plug 11, 44 eingebracht. Die Bitleitungs-Plugs 11, 44 werden anschließend bis auf das Niveau der Oberkante der Versiegelungsschicht 20 der Wortleitungen 28, 8, 43 zurückplanarisiert. Innerhalb dieser Prozessschritte erfolgt auch die Ausheilung der Bitleitungskontakte, die eine letzte, wesentliche Hochtemperaturbelastung des Gesamtprozesses darstellt.

Anschließend wird eine Strap-Trennmaske 46 aufgebracht, die als Kontaktfenster den Bereich zwischen der ersten und drit-

ten Wortleitung 28, 43 freihält. Dieser Prozessstatus ist in Fig. 6A dargestellt. In diesem Prozessstatus sind das erste und das zweite Drain-Gebiet 21, 41 noch zusammenhängend ausgebildet.

- 5 Beim folgenden Verfahrensschritt wird die Isolationsfüllung 10 vollständig durch ein Ätzverfahren entfernt. Dieser Verfahrenszustand ist in Fig. 6B dargestellt. Anschließend wird über einen Ätzvorgang der zwischen der ersten und der dritten Wortleitung 28, 43 angeordnete Bereich über der gemeinsamen
- 10 Dotierzone 21, 41 abgeätzt und auch die darunter liegende erste Siliciumschicht 33 der Deckschicht 6. Weiterhin wird ein Teil eines zwischen dem ersten und zweiten Grabens 2, 34 angeordneten Trennsteges 35, der durch einen Teil des Substrates 1 gebildet ist, und die angrenzenden vertikalen Platte-Dotierzonen 5 abgeätzt. Auf diese Weise ist ein Strap-
- 15 Kanal 24 zu den Zwischenfüllungen 32 des ersten und des zweiten Grabens 2, 34 hergestellt. Dieser Verfahrensstand ist in Fig. 6C dargestellt.

- Anschließend werden die Wände des Strap-Kanals 24 durch eine
- 20 Ätzkanalschutzschicht 62 aus Nitrid abgedeckt. Im Bereich der Zwischenfüllung wird die Ätzkanalschutzschicht 62 durch ein anisotropes, selektives Plasmaätzverfahren wieder entfernt. Dieser Verfahrensstand ist in Fig. 6D dargestellt. Anschließend wird die Zwischenfüllung 32 und die Glasschicht 31 mittels eines isotropen Ätzverfahrens aus dem ersten und dem
- 25 zweiten Graben 2, 34 restlos entfernt. Dabei wird der Bereich zwischen den Wortleitungen temporär als versiegelter Ätzkanal in vorteilhafter Weise ausgenutzt. Dieser Verfahrensstand ist in Fig. 6E dargestellt. Bei diesem Prozessschritt sind alle
- 30 sonst auf dem Speicherbaustein freiliegenden Oberflächen gegen die Ätzlösung, die zum Herauslösen der Dummy-Füllung verwendet wird, resistent ausgebildet oder durch eine Versiegelungsschicht abgedeckt.

Nach dem Reinigen der Innenwände des ersten und des zweiten Grabens 2, 34 erfolgt eine vorzugsweise konforme Abscheidung der dielektrischen Schicht 3. Auf die dielektrische Schicht 3 wird die Elektrodenschicht 4 aufgebracht. Vorzugsweise werden
5 die dielektrische Schicht 3 und die Elektrodenschicht 4 mit einem Atomic Layer Deposition-Verfahren (ALD) aufgebracht. Dabei wird der Strap-Kanal 24 und die Oberfläche des Speicherbausteins mit der dielektrischen Schicht 3 von der Elektrodenschicht 4 bedeckt. Dieser Verfahrensstand ist in Fig. 6F
10 dargestellt.

Anschließend wird durch ein selektives Rückätzverfahren die Elektrodenschicht 4 bis kurz über die Oberkante des ersten und des zweiten Grabens 2, 34 zurückgeätzt. Daraufhin wird die zurückgeätzte Elektrodenschicht 4 als Ätzmaske für ein
15 isotropes Entfernungungsverfahren der freiliegenden Bereiche der dielektrischen Schicht 3 und der Ätzkanalschutzschicht 62 verwendet. Dieser Verfahrensstand ist in Fig. 6G dargestellt.

In einer vorteilhaften Ausgestaltung des Verfahrens erfolgt die selektive Rückätzung der Elektrodenschicht 4 bis kurz unter die Oberkante des ersten und zweiten Grabens 2, 34. Auf
20 diese Weise werden der Hohlraum des ersten und des zweiten Grabens 2, 34 wieder geöffnet. Anschließend erfolgt die Abscheidung einer weiteren Elektrodenschicht 4, so dass die Dicke der resultierenden Elektrodenschicht 4 im ersten und
25 zweiten Graben 2, 34 in vorteilhafter Weise erhöht wird. Dieser Prozesszyklus von Abscheidung und Rückätzung der Elektrodenschicht 4 kann bei Bedarf mehrfach durchgeführt werden, wobei die zuletzt abgeschiedene Elektrodenschicht 4 wieder
30 bis kurz über die Oberkante des ersten und zweiten Grabens 2, 34 zurückgeätzt wird.

In einem weiteren Verfahrensschritt wird im Bereich der Deckschicht 6 im Strap-Kanal 24 der Isolationskragen 7 eingebracht und anschließend der Isolationskragen 7 mit einer leitfähigen Strap-Füllung 17 aufgefüllt. Anschließend wird

die Strap-Füllung 17 ein vorgegebenes Stück zurückgeätzt. Danach wird der Isolationskragen 7 im oberen Bereich zurückgeätzt, wobei die zurückgeätzte Strap-Füllung 17 als Ätzmaske dient. Dieser Verfahrensstand ist in Fig. 6H dargestellt.

- 5 Anschließend wird eine zweite Strap-Kappe 48 auf den Isolationskragen 7 und die Strap-Füllung 17 aufgebracht. Die zweite Strap-Kappe 48 ist bis zu einem vorgegebenen Abstand über die Obergrenze der Deckschicht 6 aufgefüllt und besteht aus einem elektrisch leitenden Material. Dieser Verfahrensstand ist in Fig. 6I dargestellt.

- 10 In einem weiteren Prozessschritt wird eine Strap-Trennmaske 46 in den Strap-Kanal 24 eingebracht, die die Seitenwände der Versiegelungsschichten 20 der ersten und dritten Wortleitung 28, 43 bedeckt. Die Strap-Trennmaske 46 wird vorzugsweise aus Si_3N_4 gebildet und definiert einen Ätzkanal 49, der bis zur zweiten Strap-Kappe 48 geführt ist. Dieser Verfahrensstand ist in Fig. 6J dargestellt.

- 15 Anschließend wird in einem Ätzprozess der Ätzkanal 49 durch die zweite Strap-Kappe 48, die Strap-Füllung 17, die Elektrodenschicht 4, die dielektrische Schicht 3 bis in das obere Ende des Trennsteges 35 und in die seitlich angrenzenden vertikalen Plate-Dotterzonen 5 weiter eingeätzt. Dieser Verfahrensstand ist in Fig. 6K dargestellt.

- 20 Anschließend wird die Zwischenisolationsschicht 23 in den Ätzkanal 49 eingebracht und auf diese Weise der erste und zweite Strap-Kontakt 37, 38 geschaffen. Dieser Verfahrensstand ist in Fig. 6L dargestellt. Die weiteren Prozessschritte zur Herstellung des Bitleitungskontaktes, zur Aufbringung der Bitleitung 12 und folgender Metallisierungsebenen zur Komplettierung des Speicherbausteins erfolgt in der üblich
- 25 bekannte Art und Weise, wie in der Fig. 3 beschrieben.
- 30

Fig. 7 zeigt ein Verfahren zur Herstellung einer dritten Ausführungsform einer Speicherzellenanordnung. Die dritte Ausführungsform weist eine Speicherzellenanordnung mit einem vertikalen, zweifachen Gate-Anschluss auf. Die Speicherzellenanordnung wird hergestellt, indem ein P-leitendes Siliciumsubstrat 1 mit einer Siliciumdioxid- und Siliciumnitridschicht als Ätzmaske bedeckt wird. Mittels eines Lithographieverfahrens und eines Ätzverfahrens wird über eine Hartmaske zunächst ein Graben 2 aus dem Siliciumsubstrat 1 herausgeätzt. Anschließend wird die Hartmaske entfernt und der Graben 2 wird einem Reinigungsverfahren unterzogen. Daraufhin werden die Wände des Grabens 2 mit einer Arsen-dotierten Glasschicht 31 lokal bedeckt. Durch einen anschließenden Diffusionsprozess wird im unteren Bereich des Grabens 2 eine vertikale Plate-Dotierzone 5 eingebracht. Nach Entfernung der Maskenschichten und Reinigung des Grabens 2 wird der Graben 2 mit einer zweiten Zwischenfüllung 50 aufgefüllt. Die zweite Zwischenfüllung 50 besteht beispielsweise aus einer Siliciumdioxid- und/oder einer Siliciumschicht.

20 In einer vorteilhaften Ausgestaltung des Verfahrens wird der Graben 2 im unteren Abschnitt durch ein anteilig isotropes Ätzverfahren geringfügig bauchig geätzt, so dass ein negativer Flankenwinkel erzeugt wird. Auf diese Weise nimmt der Querschnitt der Öffnung des Grabens 2 nach oben hin ab, so dass die Öffnung des Grabens 2 beim Auffüllen des Grabens 2 mit der zweiten Zwischenfüllung 50 geschlossen wird, bevor tiefer liegende Bereiche des Grabens 2 vollständig mit der zweiten Zwischenfüllung 50 verfüllt sind. Dadurch bleibt im unteren Abschnitt des Grabens 2 entlang dessen Symmetrieachse ein ausgedehnter Lunker, d.h. ein Hohlraum, der die spätere restlose Wiederauslösung der zweiten Zwischenfüllung 50 wesentlich erleichtert. Die zweite Zwischenfüllung 50 ist in der Weise ausgebildet, dass ein einfaches und vollständiges Auslösen über ein Ätzverfahren möglich ist.

In einem folgenden Prozessschritt wird die zweite Zwischenfüllung 50 bis in den oberen Teil des Grabens 2 planar zurückgeätzt. Anschließend werden die freigelegten Bereiche der Oxidschicht, die an den Seitenwänden des Grabens 2 ausgebildet ist, entfernt. Daraufhin wird mittels einer konventionellen Prozessführung durch mehrfache Schichtabscheideprozesse und Rückätzprozesse im oberen Bereich des Grabens 2 ein Isolationskragen 7 eingebracht. Der Isolationskragen 7 wird vorzugsweise aus Siliciumdioxid oder Siliciumnitrid gebildet.

5

10

Anschließend wird eine erste und zweite Strap-Dotierzone 67, 68 an gegenüberliegenden Seiten, des Grabens 2 ausgebildet.

Nach Entfernung aller Hilfsschichten liegt die Oberkante des Isolationskragens 7 sowie die Innenwand des Grabens 2 frei und wird mit einer dünnen Siliciumdioxidschicht belegt. Daraufhin wird mittels eines anisotropen Schichtabscheideverfahrens eine erste Isolationsplatte 55 ausgebildet. Die dünne Oxidschicht auf der Innenwand des Grabens 2 wird daraufhin wieder entfernt und eine Gate-Oxidschicht auf der Innenwand des Grabens 2 ausgebildet. Dann wird der offene, obere Bereich des Grabens 2 mit einer Dual-Gate-Schicht 51 verfüllt und bis auf die Siliciumnitridoberfläche 53 planarisiert. Dieser Verfahrensstand ist in Fig. 7A dargestellt.

15

20

In einem weiteren Prozessschritt wird eine horizontale Plate-Dotierzone 15 und eine Feldisolationsschicht 9 mittels konventioneller Prozessschritte ausgebildet. Anschließend wird die Dual-Gate-Schicht 51 bis unter die Oberfläche des Substrates 1 zurückgeätzt. Dann werden die offenen Seitenflächen des Siliciumsubstrates 1 dotiert und eine dritte und vierte Dotierzone 69, 70 hergestellt. Dieser Verfahrensstand ist in Fig. 7B dargestellt. Die erste und dritte Dotierzone und das zugeordnete Dual-Gate 51 bilden einen Transistor. Ebenso bilden die zweite und vierte Dotierzone und das zugeordnete Dual-Gate 51 einen weiteren Transistor.

25

30

Im Anschluss daran wird an den freiliegenden Seitenflächen des Siliciumnitrids 53 ein Isolationsspacer 54 ausgebildet. Dieser Verfahrensstand ist in Fig. 7C dargestellt.

5 In einem weiteren Prozessschritt wird die Dual-Gate-Schicht 51 unter Verwendung der Isolationsspacer 54 als Ätzmaske anisotrop strukturiert und bis auf die erste Isolationsplatte 55 abgeätzt. Dieser Verfahrensstand ist in Fig. 7D dargestellt. Daraufhin werden die vertikalen Flächen der verbliebenen Dualschicht 51 mit einer Siliciumoxidschicht 56 überzogen. Dieser Verfahrensstand ist in Fig. 7E dargestellt.

10 In einem folgenden Schritt wird die erste Isolationsplatte 55 mit einem anisotropen Ätzverfahren bis auf die zweite Zwischenfüllung 50 durchtrennt. Dieser Verfahrensstand ist in Fig. 7F dargestellt.

15 Der offene Graben 2 mit den Isolationsspacern 54, den vertikalen Siliciumdioxidschichten 56 und den vertikalen Flanken der ersten Isolationsplatte 55 bilden eine versiegelte Ätzöffnung 57. Durch die Ätzöffnung 57 wird die zweite Zwischenfüllung 50 restlos aus dem Graben 2 herausgelöst. Dieser Verfahrensstand ist in Fig. 7G dargestellt.

20 Bei diesem Prozessschritt sind alle sonst auf dem Speicherbaustein offenliegenden Oberflächen gegen die Ätzlösung, die zum Herauslösen der zweiten Zwischenfüllung 50 verwendet wird, hinreichend resistent ausgebildet oder durch eine entsprechende Versiegelungsschicht abgedeckt.

25 Nach Reinigung der Innenwand des Grabens 2 erfolgt die konforme Abscheidung der dielektrischen Schicht 3 und der Elektroden-schicht 4. Vorzugsweise werden die dielektrische Schicht 3 und die Elektroden-schicht 4 mit einem Atomic Layer Deposition-Verfahren (ALD) abgeschieden. Dieser Verfahrensstand ist in Fig. 7H dargestellt.

Anschließend wird die Elektrodenschicht 4 selektiv bis unter die Oberkante des Isolationskragens 7 zurückgeätzt. Daraufhin wird die zurückgeätzte Elektrodenschicht 4 als Ätzmaske für ein isotropes Entfernen der freiliegenden Dielektrikums-
5 schicht 3 verwendet. Dieser Verfahrensstand ist in Fig. 7J dargestellt.

Anschließend werden die freien Oberflächen mit einer Schutzschicht 71 aus Nitrid überzogen und die Strap-Füllung 17 wird abgeschieden. Dieser Verfahrensstand ist in Fig. 7K dargestellt.
10

Anschließend wird die Strap-Füllung 17 planar zurückgeätzt bis auf ein Niveau, das knapp oberhalb der ersten Isolationsplatte 55 angeordnet ist. Dann wird eine zweite Isolationsplatte 58 auf der Strap-Füllung ausgebildet. Dieser Verfahrensstand ist in Fig. 7L dargestellt.
15

Anschließend wird die zweite Schutzschicht 71 von der Oberfläche des Grabens 2 entfernt. In einem weiteren Verfahrensschritt wird die Siliciumoxidschicht 56 von der Dualschicht entfernt. Anschließend wird eine Wortleitung 8 abgeschieden und strukturiert. Dieser Verfahrensstand ist in Fig. 7M dargestellt. Die weitere Prozessierung der Bitleitungs- und folgenden Metallisierungsebenen bis zur Komplettierung des Speicherbausteins erfolgt in konventioneller Art und Weise. Die zweite Wortleitung 8 wird leitend mit der Elektrodenschicht 3 verbunden, wenn die Dual-Gates 51 mit einer entsprechenden Spannung beaufschlagt werden und dadurch die entsprechenden Transistoren leitend geschaltet werden. Dazu ist jedes Dual-Gate 51 mit einer Bitleitung verbunden.
20
25

Die Ausbildung der dielektrischen Schicht 3 und der Elektrodenschicht 4 in den Ausführungsbeispielen der Figuren 4, 5, 6, 7 sind entsprechend dem Ausführungsbeispiel der Figur 1 zu wählen.
30

Aufgrund der beschriebenen Verfahren können verschiedenste Arten von Grabenkondensatoren mit einer Grabenfüllung versehen werden, die die bei der Herstellung der Transistoren verwendeten Temperaturen nicht ohne Minderung ihrer Materialparameter überstehen.

5

Patentansprüche

1. Speicherbaustein mit einem Substrat (1), in das eine Speicherzelle eingebracht ist,
5 wobei die Speicherzelle einen Grabenkondensator (2) aufweist, wobei der Grabenkondensator wenigstens teilweise eine Füllung (3, 4) aufweist, die eine mit einem Transistor (22, 21, 33, 28), der einen Source-, Drain- (21, 22) und einen Gate-Anschluss (28) aufweist,
10 wobei der Drainanschluss (21) elektrisch leitend mit dem Grabenkondensator (3, 4) verbunden ist, wobei abhängig von einer Ansteuerung des Gate-Anschlusses (28) der Source-Anschluss (22) leitend mit der Füllung (3, 4) verbindbar ist,
15 *d a d u r c h g e k e n n z e i c h n e t*, dass die Füllung (3, 4) wenigstens teilweise ein Material aufweist, das bei hohen Temperaturen, insbesondere bei Temperaturen von über 800°C, instabil ist.
- 20 2. Speicherbaustein nach Anspruch 1, dadurch gekennzeichnet, dass die Füllung (4) wenigstens teilweise ein metallisches Material aufweist.
3. Speicherbaustein nach einem der Ansprüche 1 oder 2, dadurch gekennzeichnet, dass die Füllung (3) wenigstens teilweise ein dielektrisches Material mit einer großen Dielektrizitätskonstanten aufweist.
- 30 4. Speicherbaustein nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, dass die Wandung des Grabens (2) wenigstens teilweise mit einer dielektrischen Schicht (3) bedeckt ist, dass auf der dielektrischen Schicht (3) wenigstens teilweise eine metallische Schicht (4) aufgebracht ist,
35 dass die metallische Schicht (4) elektrisch über eine Strap-Füllung (17) leitend mit dem Drain-Anschluss (21) des Transistors verbunden ist.

5. Speicherbaustein nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, dass angrenzend an den Graben (2) in dem Substrat (1) eine elektrisch leitende Schicht (5) ausgebildet ist.

5

6. Speicherbaustein nach einem der Ansprüche 1 bis 5, dadurch gekennzeichnet,
dass der Graben von der Deckschicht (6) abgedeckt ist,
dass in der Deckschicht (6) eine Öffnung eingebracht ist,
10 dass durch die Öffnung eine leitende Verbindung zwischen der Füllung (3, 4) und dem Drain-Anschluss (21) ausgebildet ist,
dass auf der Seite der Deckschicht (6), die dem Graben (2) zugewandt ist, eine dielektrische Schicht (3) wenigstens teilweise aufgebracht ist.

15

7. Verfahren zum Herstellen einer Speicherzelle mit einem Grabenkondensator mit folgenden Verfahrensschritten:
Einbringen eines Grabens (2) in ein Substrat (1);
Auffüllen des Grabens (2) wenigstens teilweise mit einer Zwischenfüllung (32);
20 Aufbringen einer Deckschicht (6) auf das Substrat (1);
Einbringen eines Transistors (21, 22) in die Deckschicht (6);
Entfernen der Zwischenfüllung (31, 32, 50) aus dem Graben (2);
Einbringen einer Füllung (3, 4) in den Graben (2), wobei ein Grabenkondensator erstellt wird und
Anschließen der Füllung (3, 4) an einen Anschluss (21) des Transistors.

30

8. Verfahren nach Anspruch 7, dadurch gekennzeichnet,
dass ein Kanal (24, 57) in die Deckschicht (6) bis zur Füllung (3, 4) geätzt wird,
dass über den Kanal (47, 57) die Zwischenfüllung (31, 32, 50) herausgeätzt wird,
35 dass eine dielektrische Schicht (3) wenigstens teilweise auf die Wandung des Grabens (2) aufgebracht wird,

dass auf die dielektrische Schicht (3) eine leitende Schicht (4) aufgebracht wird,
dass die leitende Schicht (4) elektrisch leitend mit einem Anschluss (21) des Transistors verbunden wird.

5

9. Verfahren nach einem der Ansprüche 7 oder 8, dadurch gekennzeichnet,

dass nach dem Ätzen des Kanals (47) die Seitenwände des Kanals (47, 57) mit einer Schutzschicht (62, 71), vorzugsweise aus Nitrid, bedeckt werden,

10

dass anschließend die Zwischenfüllung (31, 32, 50) aus dem Graben herausgeätzt wird.

Zusammenfassung

Speicherbaustein mit einer Speicherzelle und Verfahren zur Herstellung einer Speicherzelle

- 5 Es werden Speicherzellen mit Grabenkondensatoren beschrieben, wobei der Grabenkondensator mit einem Material mindestens teilweise aufgefüllt ist, das Hochtemperaturprozesse, die bei der Herstellung eines Speicherbausteins verwendet werden, nicht ohne Beeinträchtigung ihrer elektrischen Parameter überstehen könnte. Erfindungswesentlich ist, dass das Material
- 10 des Grabenkondensators erst nach den Hochtemperaturprozessen in den Graben eingebracht wird. Durch das erfindungsgemäße Verfahren können dielektrische Schichten mit großen Dielektrizitätskonstanten und Elektrodenschichten aus metallischem Material verwendet werden. Somit werden die elektrischen Eigenschaften des Grabenkondensators gegenüber bekannten Grabenkondensatoren verbessert.
- 15

Figur 1

Bezugszeichenliste

- 1 Halbleitersubstrat
- 2 Graben
- 3 dielektrische Schicht
- 4 Elektrodenschicht
- 5 vertikale Plate-Dotierzone
- 6 Deckschicht
- 7 Isolationskragen
- 8 weitere aktive Wortleitung
- 9 Felddisolation
- 10 erste Isolationsfüllung
- 11 Bitleitungs-Plug
- 12 Bitleitung
- 15 horizontale Plate-Dotierzone
- 17 Strap-Füllung
- 18 Transistor
- 19 Wortleitungsdeckisolation
- 20 Versiegelungsschicht
- 21 Drain-Gebiet
- 22 Source-Gebiet
- 23 Zwischenisolation
- 24 Strap-Kanal
- 25 dritte Schicht
- 26 Strap-Kappe
- 27 passive Wortleitung
- 28 erste aktive Wortleitung
- 29 zweite aktive Wortleitung
- 30 weiterer Graben
- 31 Glasschicht
- 32 Zwischenfüllung
- 33 erste Siliciumschicht
- 34 zweiter Graben
- 35 Trennsteg
- 36 gemeinsamer Verbindungskanal
- 37 erster Strap-Kontakt
- 38 zweiter Strap-Kontakt

- 39 erste Strap-Kappe
- 40 zweite Strap-Kappe
- 41 zweites Drain-Gebiet
- 42 zweites Source-Gebiet
- 43 dritte Wortleitung
- 44 zweiter Kontaktanschluss
- 45 aktive Zone
- 46 Strap-Trennmaske
- 48 zweite Strap-Kappe
- 49 Ätzkanal
- 50 zweite Zwischenfüllung
- 51 Dual-Gate
- 53 Siliciumnitrid
- 54 Isolationsspacer
- 55 erste Isolationsplatte
- 56 Siliciumoxidschicht
- 57 Ätzöffnung
- 58 zweite Isolationsplatte
- 59 aktives Gebiet
- 60 Lunker
- 61 Strapfenster-Maske
- 62 Ätzkanalschutzschicht
- 63 Strapfenster-Hartmaske
- 65 zweiter Transistor
- 67 erste Strap-Dotierzone
- 68 zweite Strap-Dotierzone
- 69 dritte Dotierzone
- 70 vierte Dotierzone
- 71 Schutzschicht

Figur für die Zusammenfassung

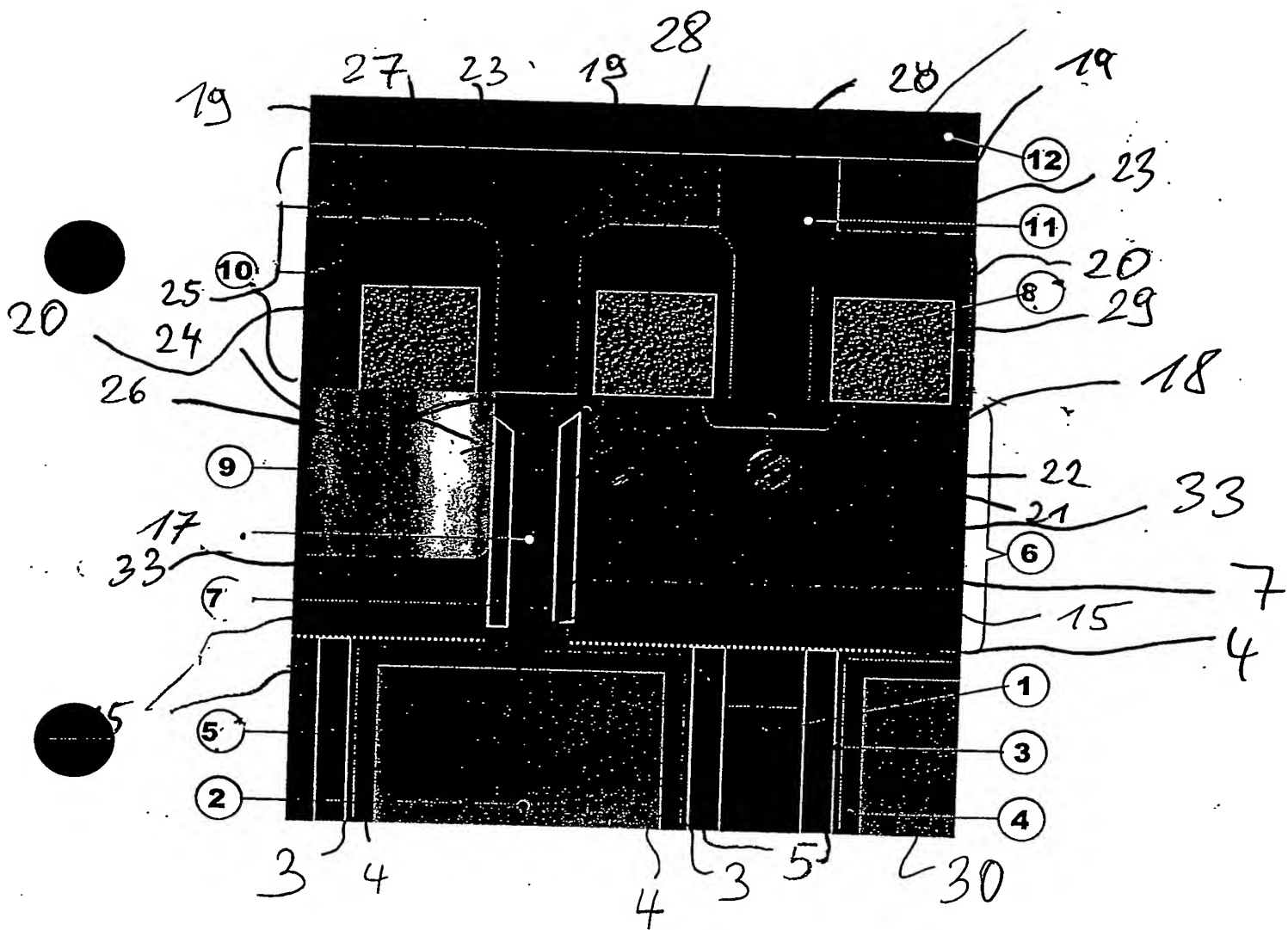


Fig. 1

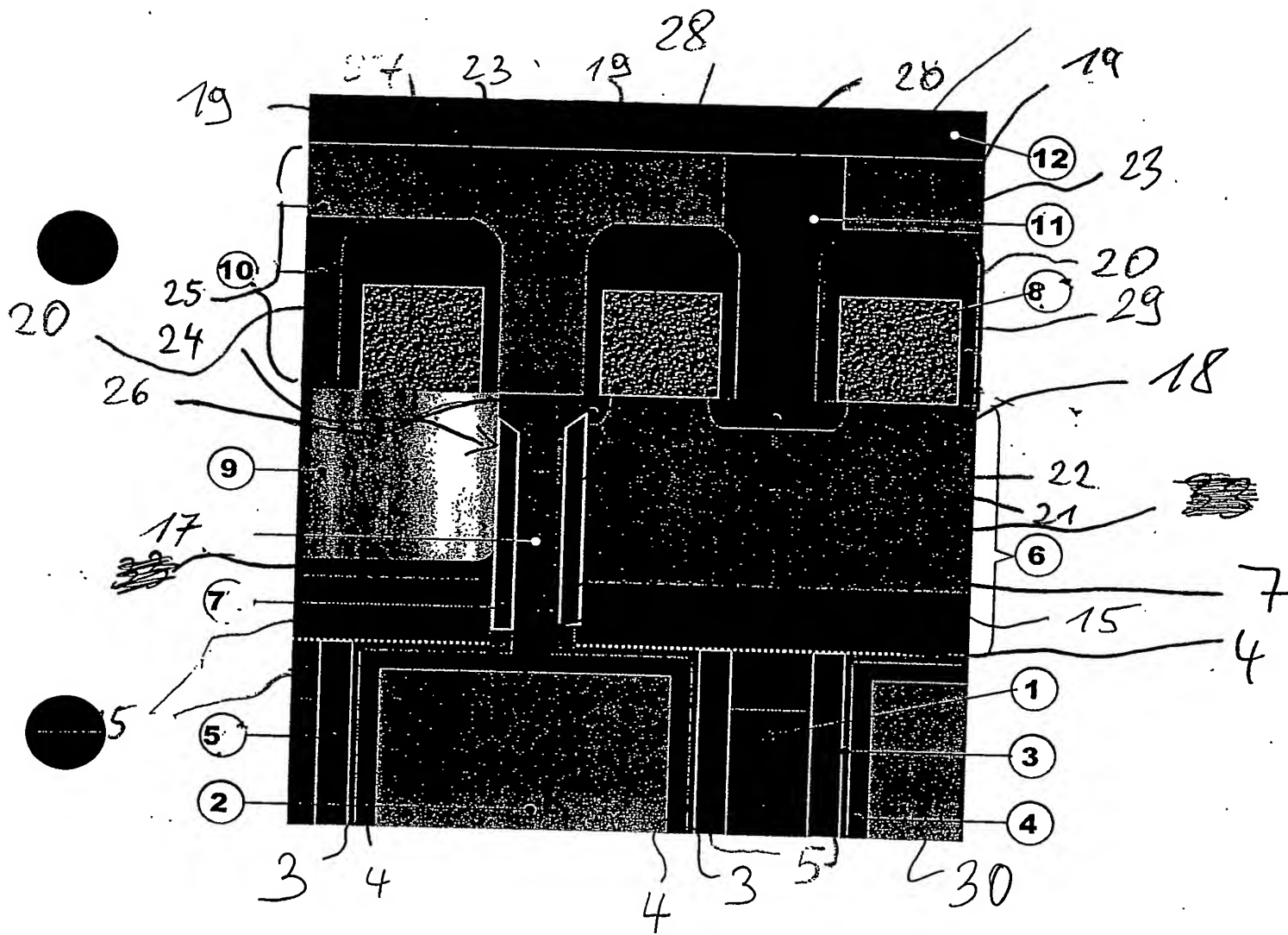


Fig. 1

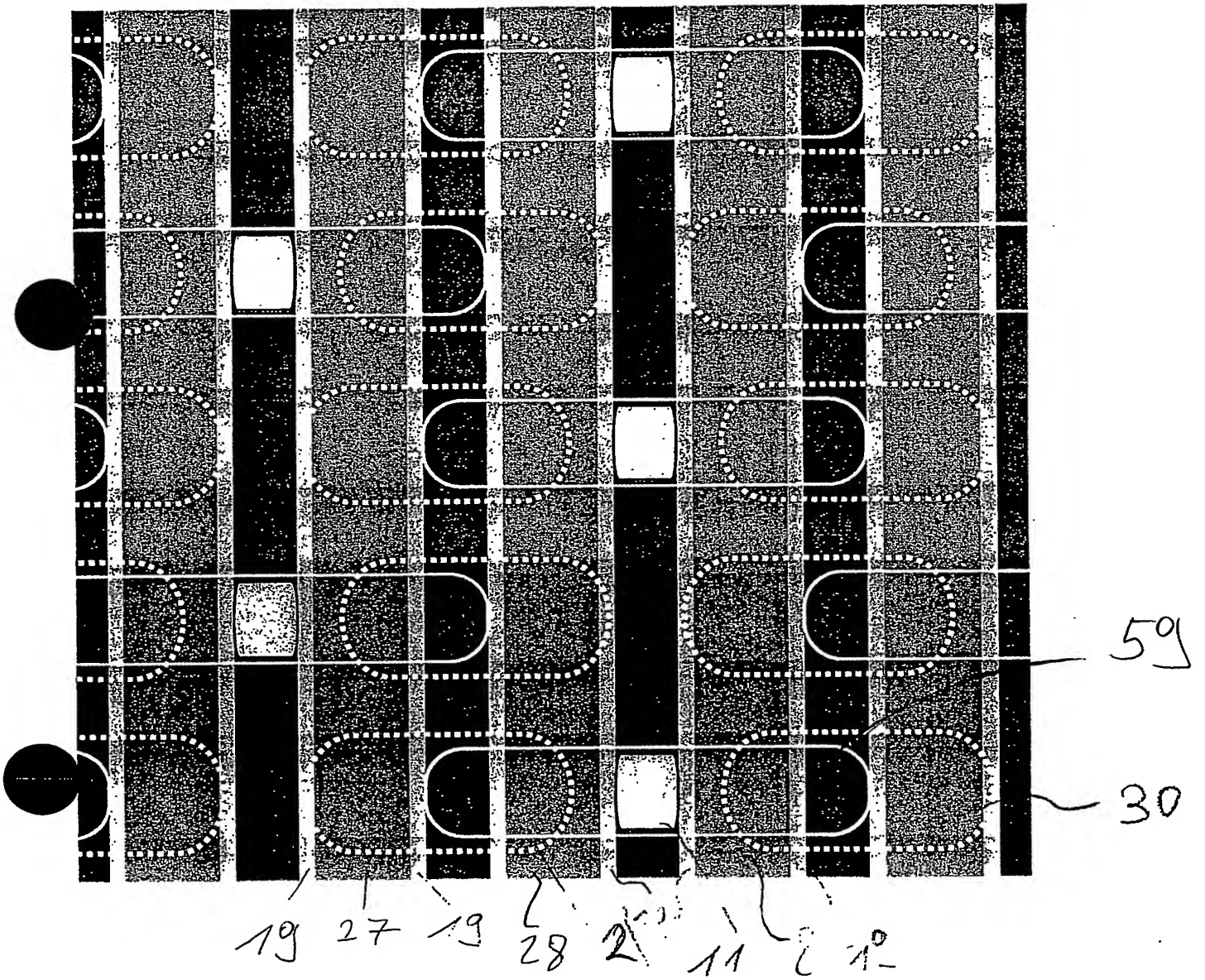


Fig 2.

(3A)

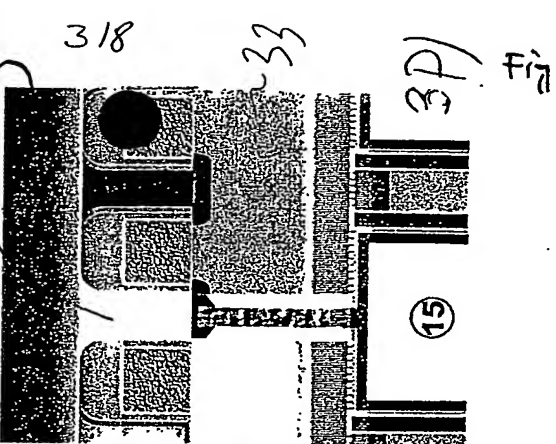
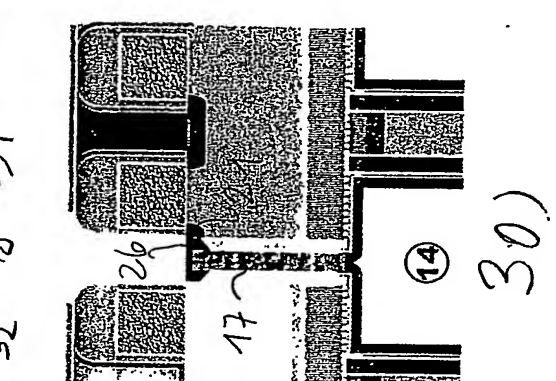
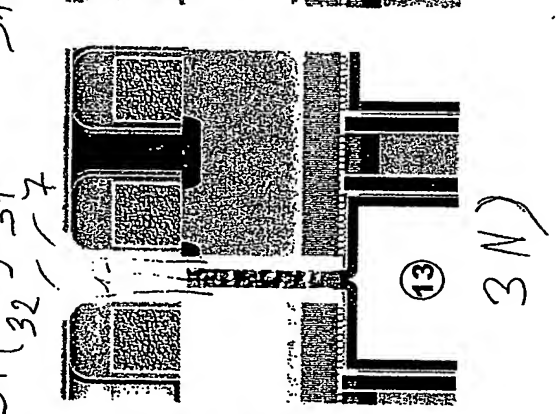
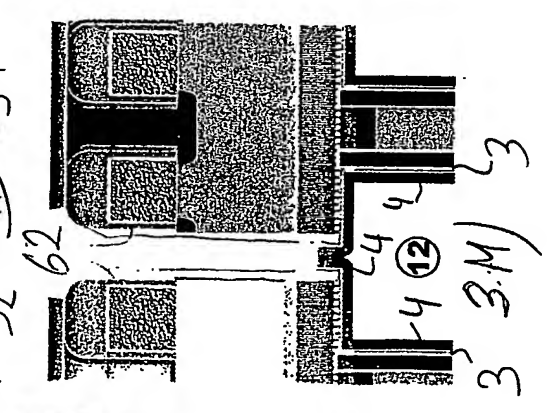
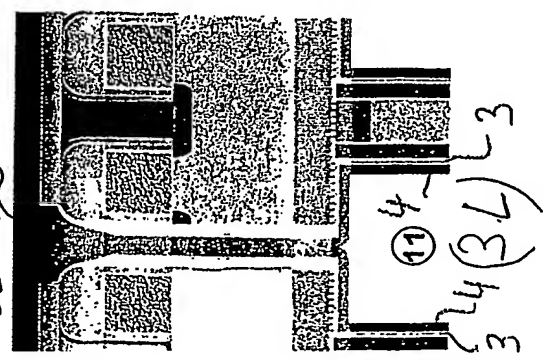
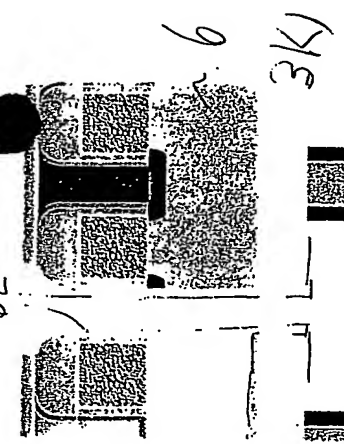
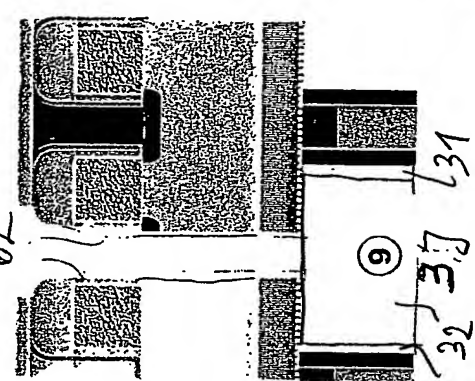
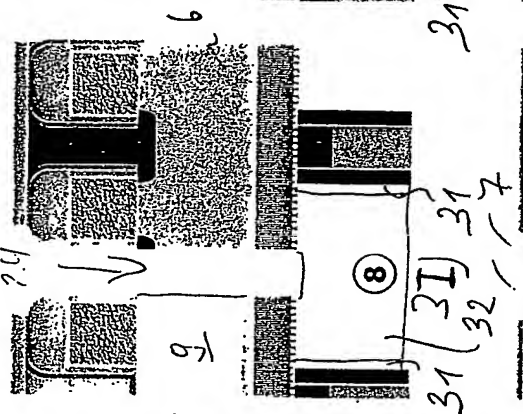
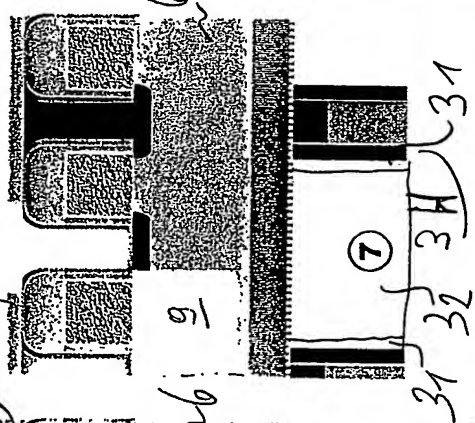
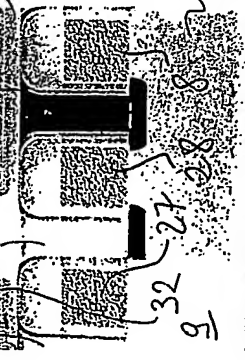
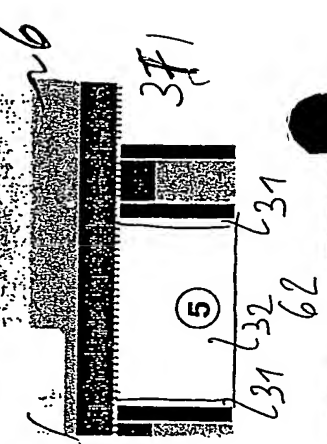
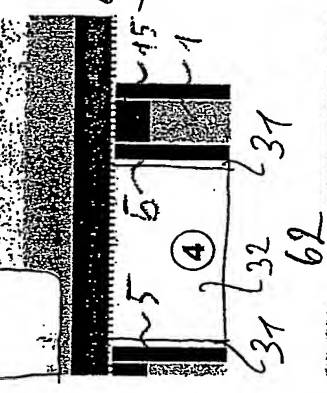
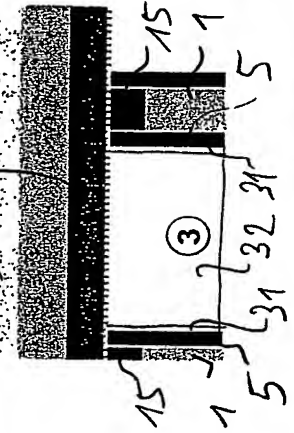
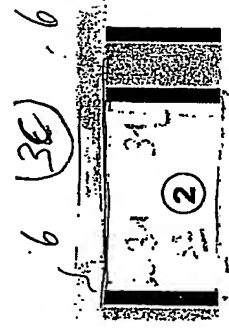


Fig.

4/8

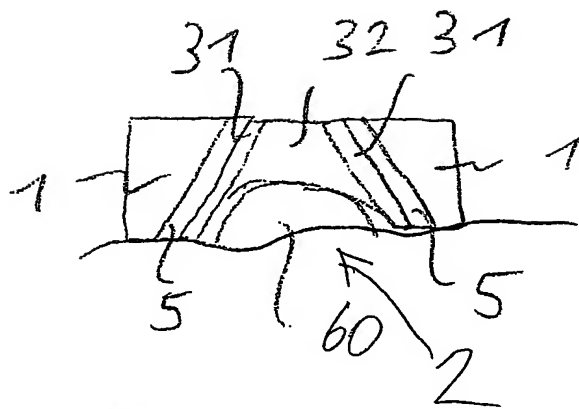


Fig. 3B

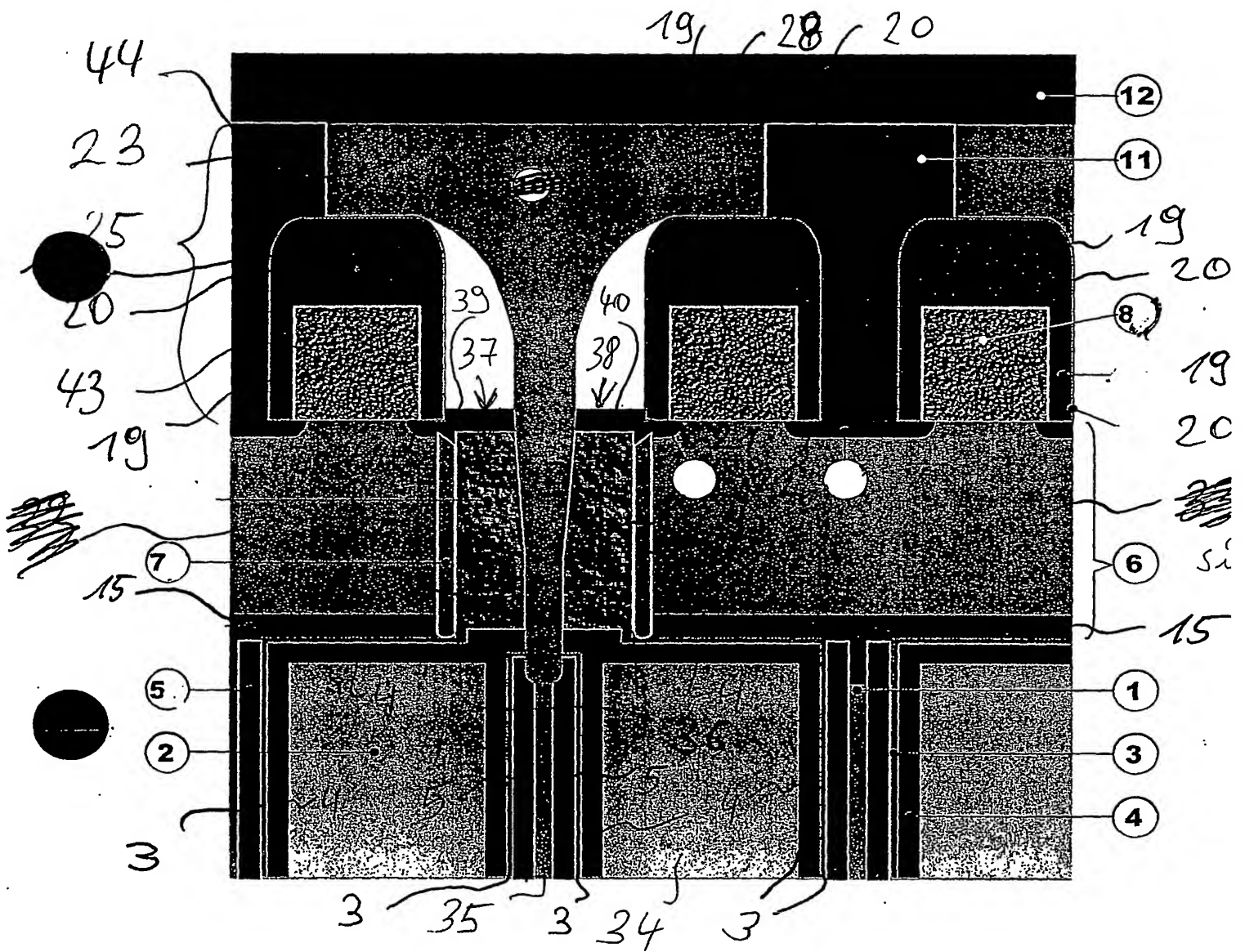
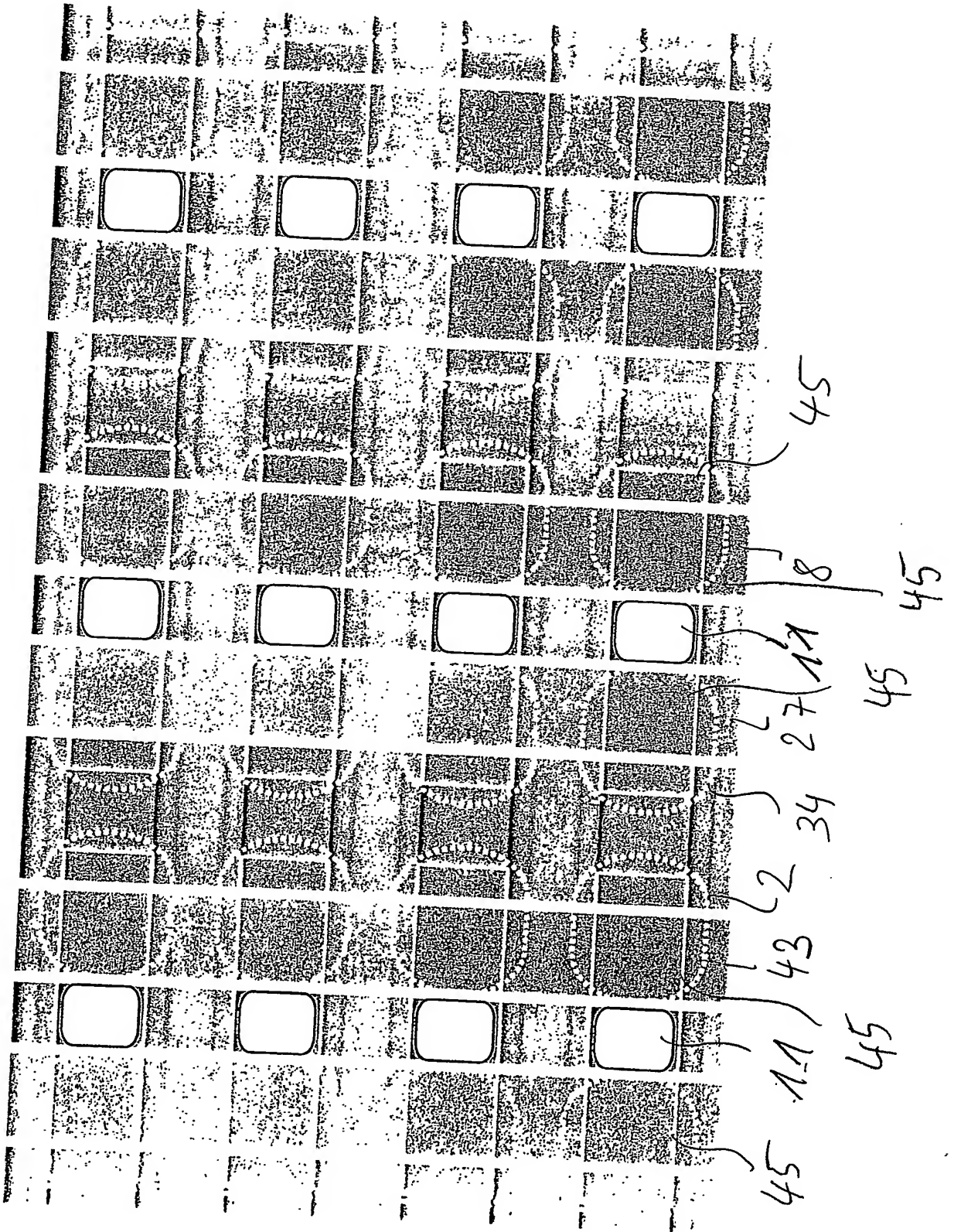
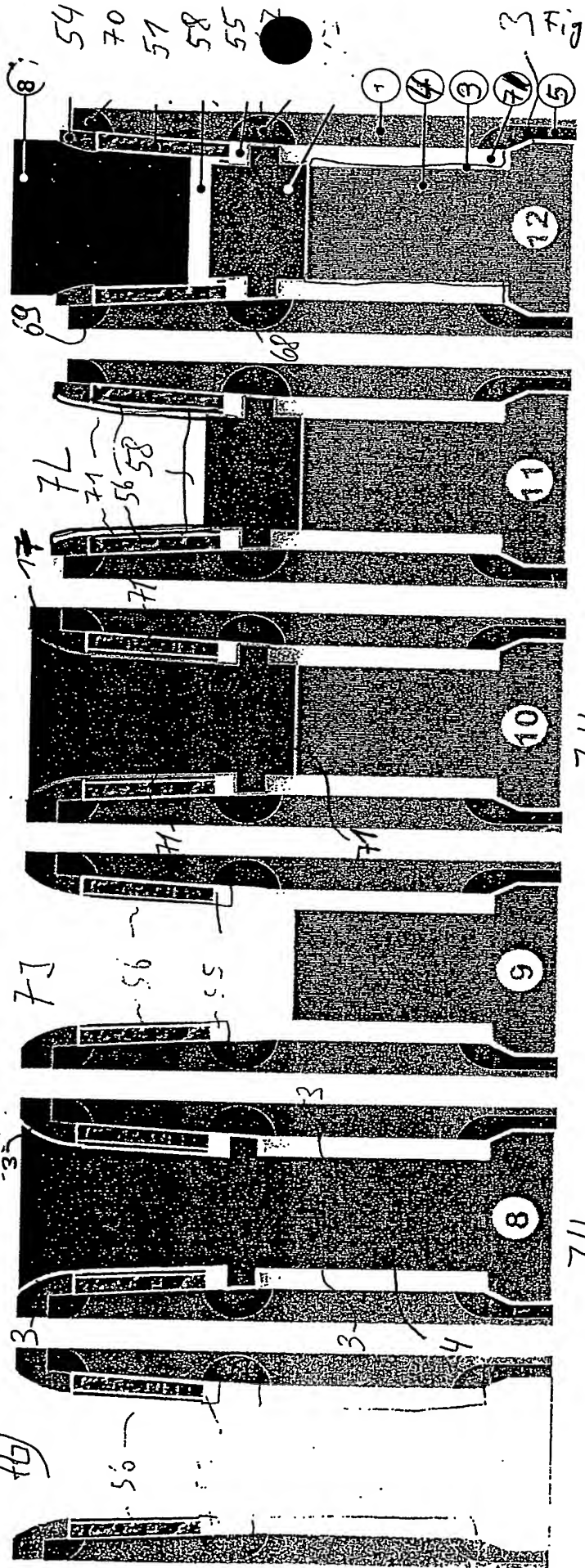
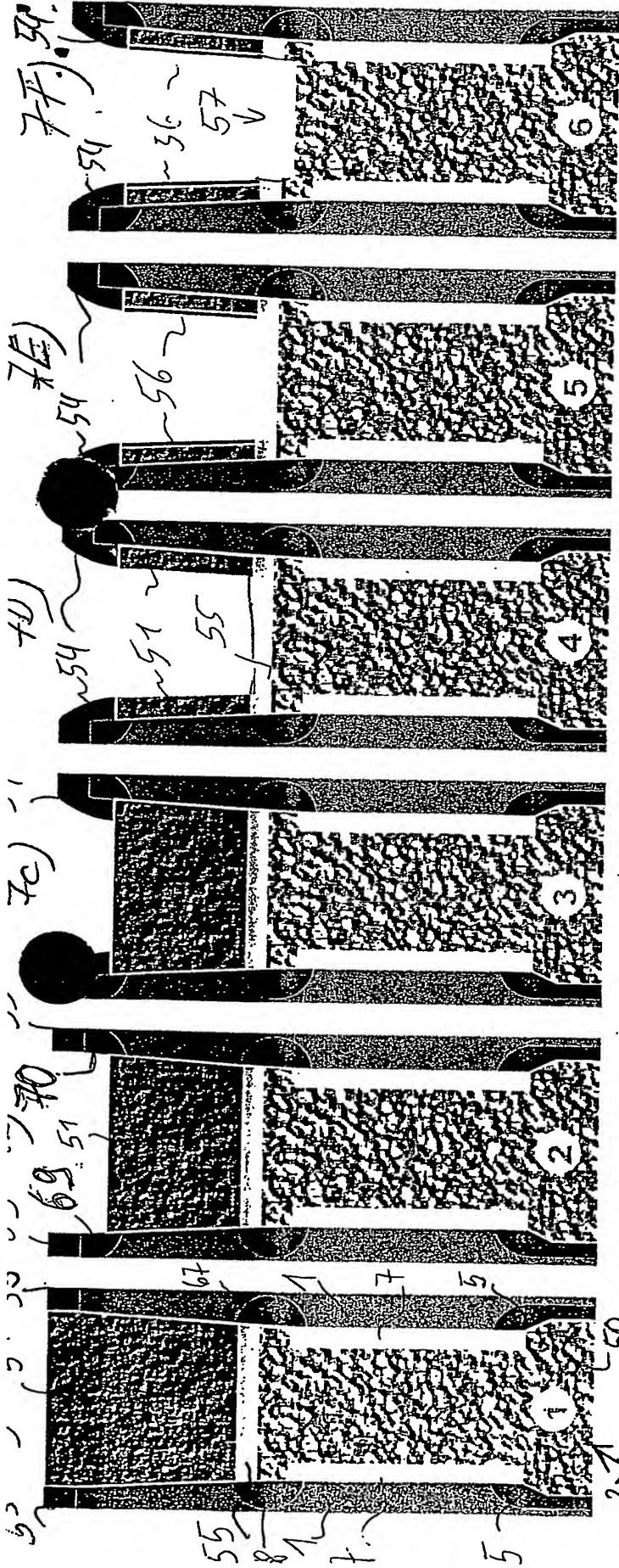


Fig. 4



8/8



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.